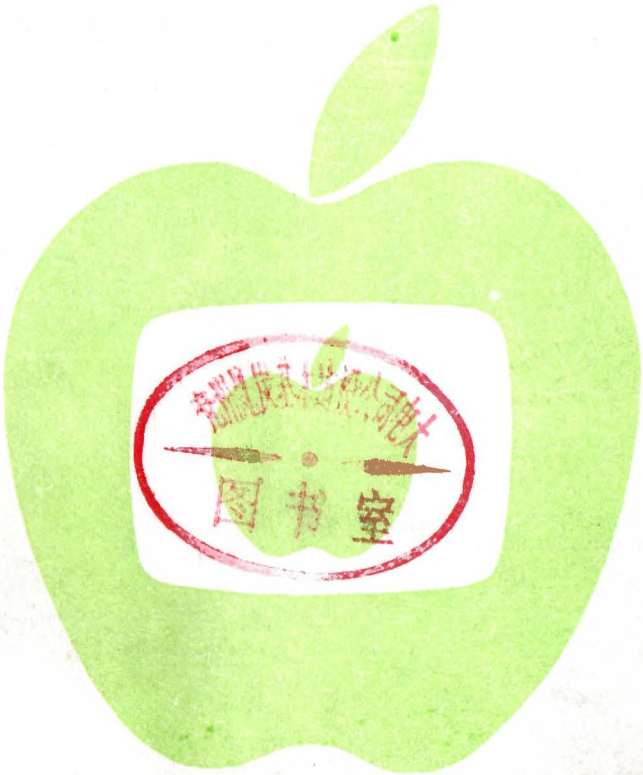
apple Ⅱ

微电脑系统原理及检修



图书室

北方电脑公司信息资料部

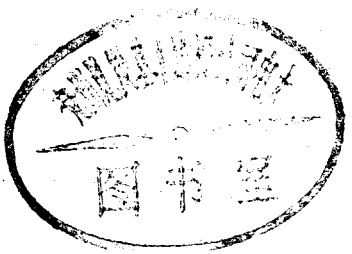
果粉藏書

TP3
113

微電腦系統
原理及檢修

李銘新 編譯

011202



Retro Workshop
果粉工作室

6085

北方电脑公司信息资料部

修APPLE最快的方法爲IC更換法：（照表一個輪流更換）

故　　障	需 更 換 IC
一、鍵盤燈雖亮，但無聲、無影	A2，A14 B2，B13 C1，C2
二、有聲，影像仍無	A2，A8，A9，A10 B2，B10，B13 C2，C11 D11，D12，D13，D14
三、開幕電碼無名牌 （先將鍵盤拔出，將D3至D10，E3至E10，ROM 1～5拔出試） （ROM 6保留）	A13，B5 B6，B7，B8，B11 C1，C2，C14 C3至C10 E11，E12，E13 F12，F13，F14 H1至H5，H8 H10，H11，H14
四、記憶體故障其他原因 （ROM，RAM可用APPLE TEST或APPLE CILLIN磁碟測試）.	A2，B5，B8 C1，C2，C11 C12，D2，E2 E11至E14 F2及H1
五、有聲、螢幕出現圖案符號但無本文	A3，A5，A8 A9，A10 B2
六、無彩色，其他正常	B12，B13 C13
七、螢幕垂直轉滾	C13，C14 D13及D14
八、螢幕歪扁傾斜	C13，C14 D13及D14
九、圖形故障，本文良好	A8至A11 B4，B5，B8，B9 B12，B13 C3至C10，C12 C14，D3至D10 E11至E14 F14，H1，J1
十、字體錯誤或變形	A3，A5 B5至B8
十一、游標失常	A3 B2，B3，B11，B13
十二、喇叭好但無聲	F13 K13
十三、鍵盤良但無輸入	A12 B6，B10 C11 F13
十四、板卡插口有良有不良	H2至H12
十五、游戲搖桿好但不工作	F13 H13，H14
十六、錄音機好，音盤錄放好，但不工作	F13 H14 K12，K13

注意：更換IC時要關機，開機之前要查看IC名號，PIN 1標記，及有無未插入之接腳，以防意外發生。IC可在自己機內或朋友機內改換，避免短路IC損壞另機可留心用手按有無發燙爲證。當心，正常工作RAM也很熱。但比近旁特別發燒時即故障，不可插入其他機內。

又售機及自己裝配機種最容易發生接腳不良插座接腳，要每腳測量，如RAM上PIN1－5V，PIN7+12V，每IC測量。

目 錄

介紹……1
APPLE Ⅱ微電腦電路分析—概論……1
APPLE Ⅱ系統特性……2
APPLE Ⅱ方塊圖……3
APPLE Ⅱ主基板零件表……4
APPLE Ⅱ微電腦中央處理器……9
APPLE Ⅱ記憶結構和 I/O電路……15
APPLE Ⅱ RAM 解碼電路……25
APPLE Ⅱ系統時脈與影像控制電路……34
APPLE Ⅱ故障檢修技術……6
APPLE Ⅱ檢修表……52
APPLE Ⅱ 線路圖……57
系統方塊圖敘述……63
記憶器映像……65
Ⅰ. 工作原理……68
CPU地址線……68
CPU資料線……73
CPU控制群……74
系統RAM……83
視頻除法鏈……89
視頻RAM……95
視頻處理……98

鍵盤……111
輸入及輸出口……112
系統電源供給……120
水準Ⅱ ROM ……124

Ⅱ. 調整及檢修……126

解體……126
電源校驗及調整……126
部分隔離法……128
記號情況……131
視週除法鏈……137
檢修幫助……140
地址解碼續談……141
匣式錄音機的問題……143
電源部份……146
銲錫短路……151
EDGE-CONNECTOR PIN ……156
附錄：檢修微處理器系統方法……157
附錄：AIM 65 微算機線路說明 ……175
附錄：AIM 65 故障檢修的程序……196
附錄：TRS-80 線路圖 ……200
附錄：TRS-80 部份圖 ……206
附錄：APPLE Ⅱ 方塊圖……212
APPLE Ⅱ 部份品特性……

APPLE Ⅱ
微電腦電路分析
概　　論

APPLE Ⅱ系統方塊圖介紹

現在開始爲各位介紹APPLE的方塊圖，不過，筆者是採用簡介的方式，僅僅介紹每一小方塊的主要功用，至於各系統之間的關係在討論電路時再詳爲介紹。

下面就來看看APPLE Ⅱ這部微電腦系統的組成方塊圖，如附圖所示。APPLE Ⅱ系統特性請看表一零件表請看表二。

電源供應器

本機所需之電源是由外加的交換式電源器（High Freguency Switching type）所供應，此種電源供應器能提供相當穩定的電壓，所提供的電壓有＋5V（5A），－5V（1A），＋12V（2A），－12V（1A）共4種。這些電壓分別供應到各個電路去。

時鐘脈波產生器

本機的時鐘脈波系統，一共產生四種不同的脈波，這些脈波控制了整個系統的動作及各個單元之間的同步，而這些脈波主要包括了318MHz及7.159MHz，彩色參考3.58MHz及1.023MHz之ϕ_1，ϕ_2，Q_3等各種時鐘脈波，14.318MHz是本系統的主要振盪頻率，其它頻率的脈波都是由它轉換而來的。7.159MHz是供應影像處理電路，3.58MHz是彩色信號（BURST）控制時脈。1.023MHz

表一 APPLE Ⅱ系統特性

①主機：

(A)標準打字鍵51鍵。

(B)有Real及Interger的Basic語言。

(C)內附一擴音器增加使用業趣。

(D)有16K，32K，48K的RAM，能擴充到64K Bytes。

(E)有12K Bytes ROM含有開機自動執行程式功能，及Basic翻譯器，並可執行Assembly語言。

(F)8/16種顏色選擇適合繪製各種圖形。

(G)八個擴充點隨您的需要而擴充。

(H)擴充點可接Parallel，Serial，EIARS-232C及IEEE 488系列各種週邊裝置。

(I)有穩壓器的電源供應，以保存各種珍貴資料。

(J)有錄音機、顯示器的輸入／出裝置，亦可接家用電視當顯示器。

(K)可接TV Game控制器，亦可當輸入裝置。

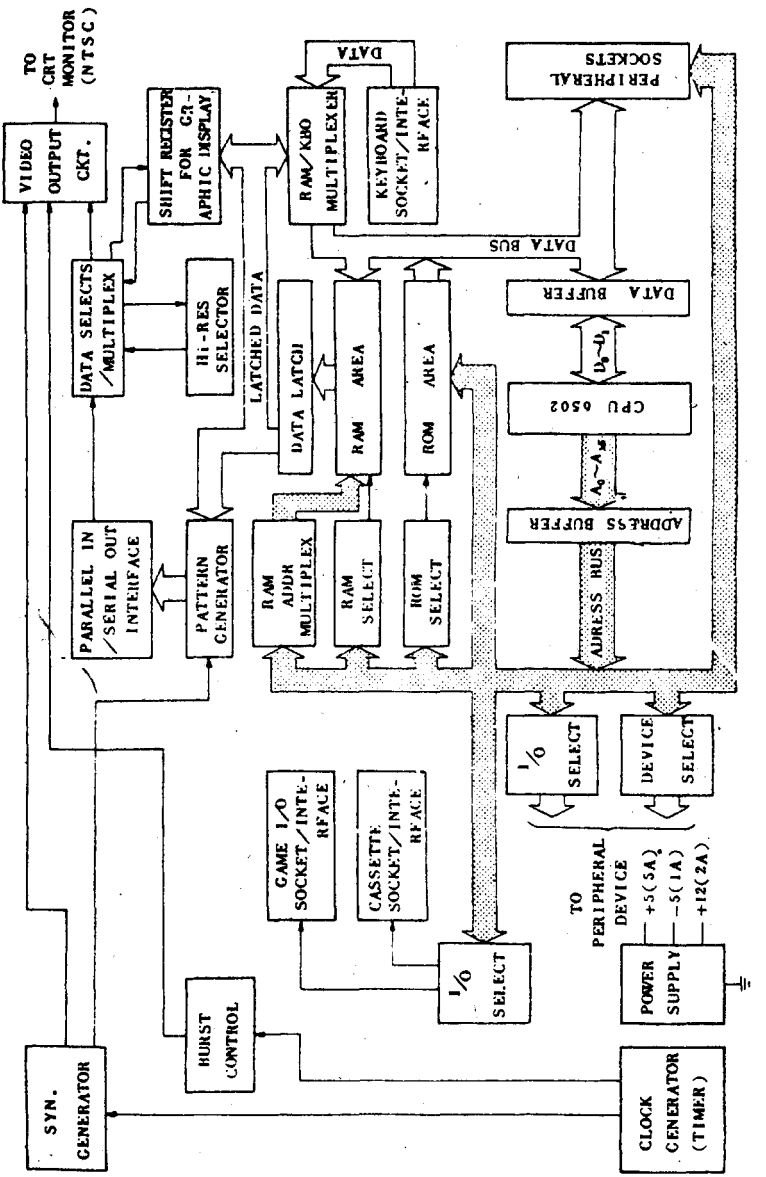
②軟性磁碟機：

(A)電源由主機供應，電壓穩定，信賴度高。

(B)每個磁碟機控制板可接兩個磁碟機，最多可接到三組六個，隨您的業務量成長而成長。

(C)有$5\frac{1}{4}$"及8"兩種軟性磁碟，資料存量由每片15萬字元，適合您不同資料量的需要而選擇。

(D)可使用Random及quential檔案，隨資料不同而設計。


TO CRT MONITOR (NTSC)
VIDEO OUTPUT CKT.
SHIFT REGISTER FOR GRAPHIC DISPLAY
DATA
RAM/KBD MULTIPLEXER
KEYBOARD SOCKET/INTERFACE
PERIPHERAL SOCKETS
DATA BUS
DATA SELECTS /MULTIPLEX
HI-RES SELECTOR
LATCHED DATA
DATA LATCH
RAM AREA
ROM AREA
DATA BUFFER
CPU 6502
ADDRESS BUFFER
ADDRESS BUS
PARALLEL IN /SERIAL OUT INTERFACE
PATTERN GENERATOR
RAM ADDR MULTIPLEX
RAM SELECT
ROM SELECT
I/O SELECT
DEVICE SELECT
GAME I/O SOCKET/INTERFACE
CASSETTE SOCKET/INTERFACE
TO PERIPHERAL DEVICE
+5(5A)
-5(1A)
+12(2A)
POWER SUPPLY
SYN. GENERATOR
BURST CONTROL
CLOCK GENERATOR (TIMER)

表二：APPLE II 主基板零件一覽表

74LS00
74LS02 × 4
74LS04
74LS08 × 2
74LS11
74LS20
74LS32
74LS51
74LS74 × 3
74LS86
74LS138 × 4
74LS139
74LS151
74LS153 × 4
74LS161 × 4
74LS166
74LS174 × 2
74LS175
74LS194 × 3
74LS195
74LS251
74LS257 × 5
74LS259
74LS283
74LS367 × 3
NE555×2
UA741
8T28×2
6502
4116×8(16 OR 24)
2716×7
NE558 (OPTIONAL)

CRYSTAL
14.318MHz

RESISTER 1/8W 5%
10 OHM
27 OHM × 2
47 OHM × 2
100 OHM × 5
150 OHM
330 OHM
1K OHM × 2
1.5K OHM
2K OHM
2.7K OHM
4.7K OHM × 2
12K OHM × 6
470K OHM
2.2M OHM
3.3M OHM

RESISTER ARRAY
1K (7)×3

VR..
200 OHM×1

CAPACTIOR;
0.1 UF×45
0.02 UF×4
47 PF

C.
50 PF×2

OIL
27UH

DIODE
IN 4148

TRANSISTER
PNP 2N869A×2
NPN 2SC372×4

Q_1 Q_2 是系統時脈輸出，ϕ_1 ，ϕ_2 相位相反。Q_3 是控制 PERIPHERAL CONNECTOR 上，供應 Interface Card 用，其頻率爲 ϕ_1 ，ϕ_2 之兩倍。

6502處理器

處理器是微電腦的中樞，它包含三類信號，一個控制各個電路的控制信號，一個是資料信號及選擇儲存資料位置的位址信號，這些信號都利用三種不同的接線送出或者輸入，這三種傳送線都稱爲 BUS，由圖上可以看到在 CPU 6502 左邊虛點圖爲 A_0 ～A_{15} 共有十六條線，稱爲 ADDRESS BUS，它是專門傳送位址資料，用來指定記憶器或選擇 I／O 的位置，CPU 的右邊是 D_0 和 D_7 共有 8 條線，專門傳送資料（Data），稱爲 Data BUS，它是雙向的，可以將 CPU 處理完的資料送出到 Memory 儲存，或送到 I／O 介面電路，也可以將 Memory 或 I／O 的資料送回到 CPU，至於控制線（Control BUS）由於它要接的元件太多而且分散，若要全部繪出時，則整個方塊圖會顯得很複雜，所以本方塊暫時將全部控制線省略不畫，等將來在解析電路時，再作詳細的介紹。

DATA BUS 上的各個系統

DATA BUS 上的各個小方塊之功能：

① Data Buffer，稱爲資料緩衝器，它是一個雙向的緩衝器，作爲 CPU 的資料輸出，輸入控制，這個電路一般都由 R／W 信號來控制。

② PERIPHERAL SOCKETS，這是介面電路板（Card）的插座，共有 50 根脚，幾乎包括了 CPU 所有的信號。在本機內一共有 8 個這種插座，可以接很多介面電路，藉以擴充系統的功能，所以使用起來非常方便。

③ KEYBOARD SOCKET／INTERFACE，爲鍵盤連接插座，也

就是鍵盤的信號由此插座連接進來的。

④ RAM／KBD MULTIPLEXER，是RAM記憶器與鍵盤Data的多工器（選擇器），即Data BUS上的信號是要從RAM裏或從鍵盤的資料取得，當我們由按鍵輸入資料時，此多工器，是連接到鍵盤資料線上，則鍵盤資料可以送到Data線上，可以把RAM的Data送到Data BUS上，以利CPU之取用。

⑤ 記憶體，記憶體有ROM及RAM區域。

ⓐ ROM AREA，ROM之資料只能送出到Data BUS上，而無法再寫入。本機ROM區有6只2716共12 KByte，由ROM SELECT來選擇CHIP。

ⓑ RAM AREA，RAM共有48 Kbyte，由24只4116 動態RAM來組成，是單Bit輸出及單Bit輸入，24只IC分成3組，每只並聯在一起，構成8bit的輸出與輸入，由RAM ADDRESS MULTIPLEXER及RAM SELECT來選擇位址及Chips。

⑥ DATA LATCH，RAM的資料輸出後由一個閂鎖器（Latcb）閂鎖住，然後送到圖形產生器及圖形顯示電路，另一方面也送回RAM／KBD多工器，經多工器選擇而送到DATA BUS上。

ADDRESS BUS上的各個系統

① ADDRESS BUFFER，CPU送出ADDRESS後，進入位址緩衝器，再送出到ADDRESS BUS上。但，當DMA時（直接存取記憶器時）CPU不能控制Memory，即此時緩衝器將CPU與ADDRESS BUS隔開，其它時間ADDRESS BUS跟CPU是互相連通的。

② I／O SELECT，由ADDRESS來控制8個PERIPHERAL中的一個，來做輸入或輸出的工作。一般PERIPHERAL電路，如COMMUNICATION INTERFACE，EPROM WRITER，INTEGER BASIC，D_SK Ⅱ INTERFACE，PRINTER INTERFACE……等。

③ DEVICE SELECT，選擇8個PERIPHERAL中之一，作I／O的動作。例如要PRINTER則會選擇到PRINTER Card。

④ ON BOARD I／O SELECT，此I／O SELECT並無外接之電路板（Card），而是在主機板上面，用來選擇卡式錄音機之輸入／輸出及GAME輸入／輸出連接插座。

⑤ CASSETTE SOCKET／INTERFACE，卡式錄音機介面電路，到錄音機存、取資料都要經過此電路。

⑥ GAME I／O SOCKET／INTERFACE，利用APPLE Ⅱ玩TV GAME時，可利用此電路連接到操縱桿來擔任遊戲動作的控制。

⑦ ROM SELECT，本機ROM區有6個EPROM，可用ROM SELECT來選擇看那個CHIP來作資料輸出到DATA BUS上。

⑧ RAM SELECT，本機RAM有48K，它是用24個4116來組成的，每8個爲一排，構成16KByte共有3排，由選擇器來選擇0～16K，17～32K，32～48K等。

⑨ RAM ADDRESS MULTIPLEXER，4116 RAM ADDRESS只有A_0～A_6，而CPU之ADDRESS BUS是從A_0～A_{15}共16條線，必須轉換成4116適用的位址，所以ADDRESS必須經此多工器來解碼。

彩色影像電路的構成

APPLE Ⅱ的影像產生電路的構成，包括了PATTERN產生器，PARALLEL IN／SERIAL OUT介面，資料選擇／多工器，高解析度選擇器及GRAPHIC DISPLAY等電路。一般顯示在電視螢幕上的資料來源有兩種可能，一種是鍵盤上的文字或符號，它們大都被設定在一個ROM裏，需要利用到時再取出來顯示，這是個固定的資料。另一種就是繪圖，這是不定形狀的圖形，要顯示時就必須一一從RAM裏拿出來，下面就來看看它們的組成。

① PATTERN GENERATOR，即圖形產生器，它是一個ROM，用來儲存鍵盤上各種文字及符號的形狀，當我們按下一個文字或符號鍵時，經鍵盤電路解碼後，成爲ASCII碼，出現在Data BUS上，把它存入記憶器RAM裏，並且將此ASCII碼，送到PATTERN產生器ROM的位址BUS上，當作ROM位址的一半資料，而另一半資料由同步信號產生器送來，這樣就可以選到你所按鍵的文字圖形了。然後將並聯的圖形資料送到並聯→串聯電路。

② PARALLEL IN/SERIAL OUT INTERFACE，此電路是一個8 Bit SHIFT REGISTER，它的功用是將PATTERN產生器送來的並聯圖形資料改變成串聯方式的輸出（以符合視頻信號傳送的方式），然後將圖形資料送至DATA SELECT選擇器。

③ SHIFT REGISTER FOR GRAPHIC DISPLAY，要顯示美麗的圖案前，必須先將圖案資料一個個存在RAM記憶器內，當CPU下達顯示指令時，便依照順序將DATA從RAM取出來，經過GRAPHIC DISPLAY電路，可作左移或右移，處理圖形顯示是GR或HGR的工作，然後送到DATA SELECT輸出。

④ Hi-RES SELECTOR，高解像度選擇電路，控制著影像的解析度，在低解像度時，畫面圖案線條很粗，但在高解像度時線條就可以很細膩了。

⑤ DATA SELECTS/MULTIPLEX，是選擇RATTERN資料或GRAPHIC的資料。

⑥ VIDEO OUTPUT CKT，視頻輸出電路，它將同步信號（SYNC），彩色同步信號（BURST）及圖形資料等三種信號混合成爲標準的視頻信號，直接加到MONITOR CRT電視視頻電路，另外還可以加RF變頻器，經過混頻後送到家用電視的天線端。

APPLE Ⅱ微電腦
中央處理器實際電路分析

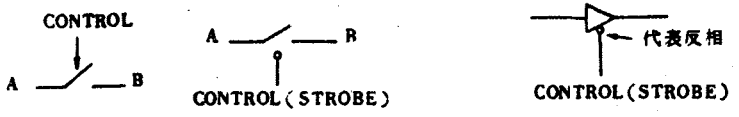
下面就開始爲各位詳細的解析APPLE Ⅱ電腦系統各部份的結構與動作：

電源部份

由附圖知，6502之電源輸入V_{cc}（脚 8 ）是接＋5V；V_{ss}（脚 1 和脚 21 ）是接地（GND）。

位址滙流排

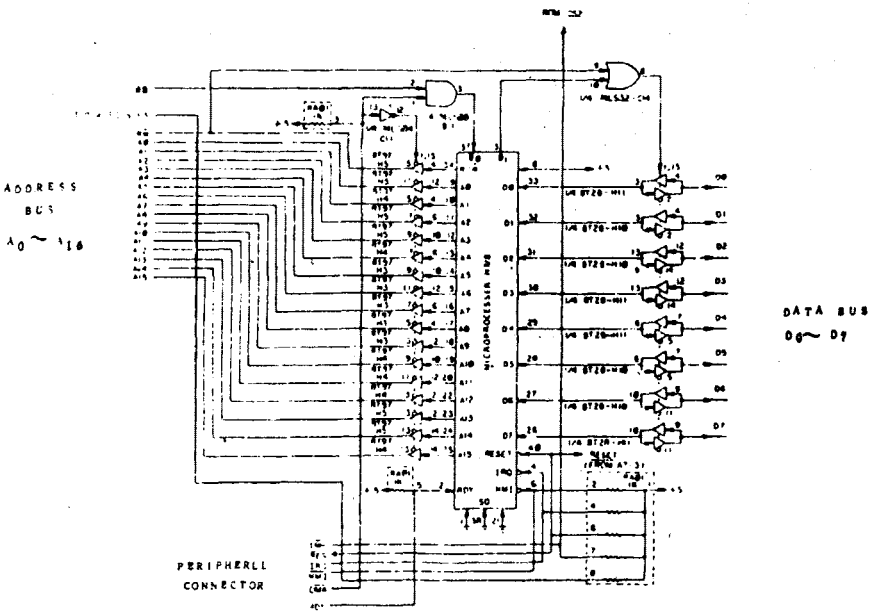
爲了方便說明起見，這裏先介紹一下什麼是三態裝置，所謂三態裝置之簡單電路結構如下圖所示：



(a)控制線接 H時導通　(b)控制線接 L時導通

以(b)圖來看，當控制線之電位是高(H)的時候，A和B間不接通即A和B之間是處於高阻抗（即斷路）狀態，一般稱爲“浮接”，當控制線之電位是低(L)的時候，A和B間被接通，此時若A端之信號爲0，則B端爲0，反之若A爲1則B爲1。也就是說經由控制線的控制，可以決定傳送資料（導通狀態），或不傳送資料（不導通狀態）。下面畫出三態裝置的電路符號和其眞值表：

CONTROL	A　B
L	L　L
L	H　H　→三態裝置致能
H	A，B間處於高阻抗狀態
	→三態裝置失效



APPLE Ⅱ CPU電路圖

有了三態裝置的觀念後，下面就來說明一下位址匯流排是如何被三態裝置控制，首先如圖所示 6502 CPU之R／W線和資料匯流排是分別接到三態裝置之輸入端，在此輸入端之信號（0或1）能否送到輸出端，則完全由三態裝置之控制線（CONTROL或稱STROBE）來控制。從圖上知直接記憶存取（DMA）控制線被接到反相器（C11 74LS04）的輸入端第13腳，然後由反相器的第12腳輸出來控制三態裝置爲致能（enable）或失效（disable），其控制方式如下所述：

① 當DMA＝H時（即週邊裝置沒有對CPU發出直接記憶存取之要求），C11反相器之輸出爲L，所以三態裝置被致能，此時CPU便能正常的執行工作，例，當CPU在送出R／W＝H（即作記憶器讀取之控制信號）之同時，也送出位址信號（$A_0 \sim A_{15}$，可選擇$2^{16}=64K$

的記憶空間）。或CPU在送出R/W=L（即作記憶器寫入之控制信號）之同時，也送出位址信號（A_0～A_{15}）。

② 當DMA=L時（即週邊裝置對CPU發出直接記憶存取之要求），C11反相器之輸出爲H，所以三態裝置失效，此時CPU之R/W控制線及位址邏流排爲浮接（高阻抗）狀態。也就是說這時候CPU無法對記憶器作讀出/寫入（R/W）的動作，而是由週邊裝置（如磁碟機）來直接存取記憶器。這裏所謂的直接記憶存取，是因爲在這種情形下，CPU是處於浮接（高阻抗）的狀態，即週邊裝置直接進行對記憶器的存取而不經過CPU的控制。如此一來便可以極快的速度，對記憶器存取大量的資料（通常磁碟機即採用此種方式）。

時鐘輸入ϕ_0

由圖上知直接記憶存取（DMA）和主機板上產生的時鐘脈衝信號（ϕ_0）同時加到一個及閘（B11 74LS08）的輸入，然後由輸出來控制CPU之時鐘輸入ϕ_0（37脚）。其控制方式如下：

① 當DMA=H時（週邊裝置沒有對記憶器發出直接記憶存取的要求），CPU之ϕ_0輸入完全是由主機板上時鐘脈波信號來控制整個CPU的工作時序，即CPU處於一般的工作狀況下。

② 當DMA=L時（週邊裝置對記憶器發出直接記憶存取的要求），此時CPU之ϕ_0輸入恒爲L。也就是說主機板上之時鐘脈波產生器的信號不能送到CPU，在這時候CPU已將整個控制權交給週邊裝置。

資料邏流排和讀寫控制線

資料邏流排（D_0～D_7，8位元）和位址邏流排一樣是連接到三態裝置，但資料是雙向而位址是單向，由圖上知雙向資料邏流排之控制線具有雙向控制作用。例：當控制線爲H時，則資料由外部向CPU送（而由CPU向外的三態則處於浮接狀態）。當控制線爲L時，則資料由CPU向外送（而由外向CPU的三態裝置則處於浮接狀態）。上

面已說明雙向資料匯流排之資料傳送方向（向外或向CPU）是由控制線（CONTROL）來控制，下面就來說明一下控制線的信號是如何決定是H或L。

由圖上知CPU之讀／寫（R／W）控制線和時脈輸出ϕ_1被接到或閘C14 74LS32之輸入，而或閘之輸出即作爲雙向三態裝置的控制信號。

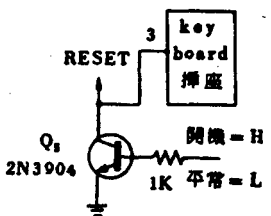
(1) 當R／W＝H（CPU對記憶器作讀取之動作）時，則雙向三態裝置之控制信號爲H，則是由外向CPU方向之三態裝置致能（而方向向外之三態裝置失效），也就是說此時資料是由記憶器向CPU送。

(2) 當R／W＝L（CPU對記憶器作寫入之動作）且時脈輸出ϕ_1＝L時，則雙向三態裝置之控置失效），也就是說此時資料是由CPU向記憶器送。

控制匯流排

控制匯流排主要是由一些控制線所組成，下面就來說明6502 CPU控制線，在APPLE Ⅱ主機板電路上的接法：

(1) 重置（RESET）線，是用來啓始（initialize）微處理器在開機後之動作。即如圖所示，平時RESET＝H（∵經由排電阻接至+5V）時，RESET失效，所以不產生重置之作用。當開機後RESET L（如圖所示）。RESET線是接到Q_3的集極上，當開機時，Q_3座極瞬間加入一個＋5V之脈波，因此Q_3導通，使得Q_3集極電壓下降，故RESET成爲LOW狀態，則產生重置作用，另一方面鍵盤上有一個RESET鍵，當您按下此鍵時，也會送出一個LOW脈衝（由key Board插座接到RESET線上），也會發生RESET作用。此時6502 CPU 既不能傳送資料亦無法接收資料，一等到RESET＝H時，CPU



即將位址FFFC和FFFD兩記憶位址之內含值，取入程式計數器（PC）中，然後跳到PC之內含值所指的位址去執行。

② 備妥（RDY）線，是用來控制CPU和某些速度較慢速之週邊裝置（如記憶器及I／O）同步。由圖上知RDY線經常是由排電阻接到＋5V去（RDY＝H），當R／W＝H時即CPU對週邊裝置發出讀取之信號，此時若週邊裝置資料尚未備妥，（因爲速度較慢，以致在收到讀取信號後，無法即時將資料送到資料匯流排去）則RDY＝L，此時CPU暫時停在那兒等待著，不執行讀取之週期，直到週邊裝置將資料備妥即RDY由L變成H時，CPU才執行讀取之動作，這樣一來利用RDY線之控制，使得CPU可以和慢速之週邊裝置同步。

③ 中斷要求（IRQ）控制線，由圖知此控制線平常是經由排電阻接到＋5V，即平時沒有週邊裝置對CPU發出中斷要求時IRQ＝H，所以CPU可以到記憶器去提取一連串的指令來執行。當週邊裝置（例，I／O）要CPU作某些特殊的控制工作時，會對CPU發出中斷信號（IRQ＝L），則CPU在收到IRQ＝L之信號後，即暫時停止程式之執行而去執行週邊裝置之工作，有一點要注意的是對於6502而言，IRQ＝L只有在狀態暫存器之中斷禁止位元(I)被清除爲0時，中斷要求才會被CPU接受。當6502 CPU接受中斷請求時，會自動將記憶器最頂端的FFFE和FFFF兩記憶位址之內含值取入PC中，然後CPU即跳到PC之內含值所指的位址去執行要作IRQ前必須做的工作。例如將暫時停止的程式位址及執行結果儲存起來，然後再去執行IRQ，等IRQ完成後，再跳回原來程式去。

④ 不可遮罩的中斷要求（NMI）控制線，由電路圖知NMI和IRQ一樣，平常是NMI＝H，有中斷要求時NMI＝L，但它和IRQ之最大不同是當NMI＝L時，CPU將會無條件的接受這個脚上的中斷要求，而IRQ之中斷信號只有在中斷禁止位元被清除爲0時，CPU才會接受，所以通常NMI都是用在電源快要中斷時，用以通知CPU的。對6502 CPU而言，當NMI＝L時，CPU會將位址FFFA和FFFB

之內含值存入PC中，然後CPU即跳到PC之內含值所指的位址去執行。

⑤ 置定溢位旗號（SO）控制線，由於在APPLE Ⅱ中沒有使用到，所以在電路圖上被接地。

APPLE Ⅱ
微電腦電路分析
記憶結構和I/O電路

APPLE Ⅱ主機板上的6502微處理器，由於具有A_0～A_{15}共十六條位址線，所以能直接定址到65,536（即$2^{16}=64K$）個不同的記憶位置，一般爲了方便，所以將65,536個記憶位置分成256頁（pages），而每個頁即包含256個記憶位置，例如，“page $3ϕ”是表示$3ϕϕϕ至$3ϕFF的256個記憶位置。

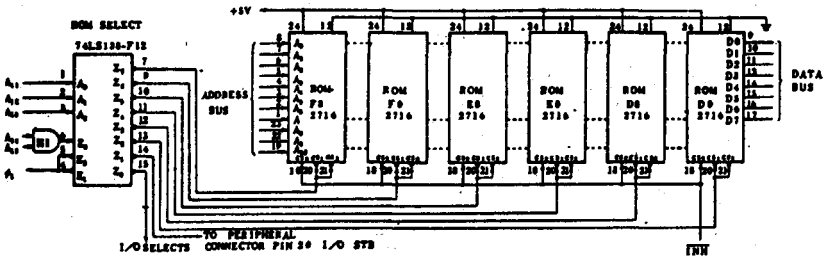
APPLE Ⅱ共有256頁記憶，主要可分成三大類：隨意存取記憶（RAM）僅讀記憶（ROM），和輸入／輸出位置（I/O locations），這些不同的記憶區在系統上均有其特定的功能，在APPLE Ⅱ系統上它的65,536（64K）個記憶位置（即256 pages）之分配情形如右面的系統記憶圖（System

系統記憶圖		
頁編號： 十進位	十六進位	
ϕ 1 2 ⋮ 19ϕ 191	$ϕϕ $ϕ1 $ϕ2 ⋮ $BE $BF	RAM(48K)
192 193 ⋮ 198 199 2ϕϕ 2ϕ1 ⋮ 2ϕ6 2ϕ7	$Cϕ $C1 ⋮ $C6 $C7 $C8 $C9 ⋮ $CE $CF	I/O(2K) I/O ROM(2K)
2ϕ8 2ϕ9 ⋮ 254 255	$Dϕ $D1 ⋮ $FE $FF	ROM(12K)

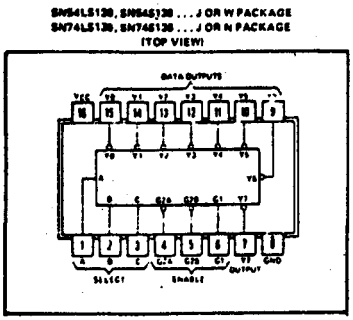
Memory Map ）所示：

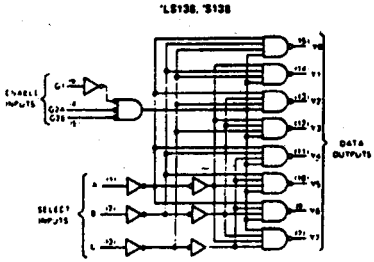
ROM和I/O之位址解碼

ROM SELECT如圖一所示，（ 74 LS 138-F12 ） IC是個3至8線的解碼器，其內部結構如圖二，此解碼 IC 之致能輸入（$E_3E_2E_1$）是由位址信號$A_{15}A_{14}$和時序信號$\phi 1$來決定致能（ enable ）與否，



圖一 ROM SELECT



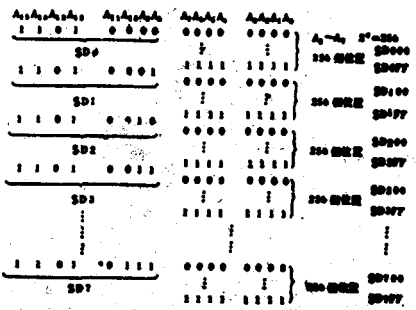


即當A_{15} $A_{14}=11$ 且$\phi 1=0$時此解碼 IC被致能，其輸出則由輸入端之A_{13} $A_{12}A_{11}$來決定。例如：$A_{15}A_{14}=11$且$\phi 1=0$（解碼 IC被致能）時，若A_{13} $A_{12}A_{11}=000$則在第15腳 Z_0輸出端產生一個0(L)的信號，其它輸出端則

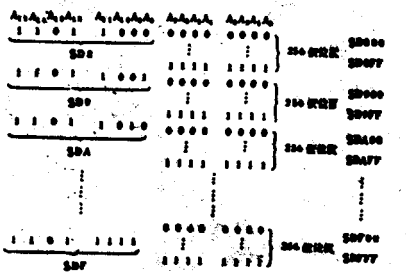
INPUTS					OUTPUTS							
ENABLE		SELECT										
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

爲1(H)；若$A_{13}A_{12}A_{11}=001$則在Z_1輸出端產生一個0(L)的信號，其它輸出端則爲1(H)。依此類推當$A_{13}A_{12}A_{11}=111$時則在Z_7輸出端產生一個0(L)的信號，其它輸出端則爲1(H)。以下就來說明ROM SELECT之輸出和其所對應的記憶位置之範圍：

當$\phi 1=0$（就APPLE Ⅱ而言，6502 CPU僅有在時序$\phi 0=1$時，傳送位址或資料信號，$\phi 1=1$時僅作CPU內部的工作）且$A_{15}A_{14}=11$，若$A_{13}A_{12}A_{11}=010$則ROM SELECT會在Z_2輸出端產生一個0(L)的信號（此時其它輸出端爲1），由電路上知此時ROM Dϕ之晶片選擇CS1和CS3被致能，CS2是接到週邊INH（即INHIBIT禁止之意），若將週邊的INH切換成L時，則所有在APPLE主機板上的ROM都被關閉，當INH=H則CS2被致能。故當ROM D0之CS1、CS2、CS3都被致能時，D0記憶器內之資料就可以被送到Data BUS上。也就是這個時候經由A_0～A_{10}的位址信號，可選擇到ROM Dϕ所含之2K位置中的任一位置，ROM Dϕ的2K個位置可分成8個pages（D\phi$～$D7），每個pages含256個記憶位置（$$\phi\phi$$～$FF），其關係如右所示：



當$\phi 1=0$且$A_{15}A_{14}=11$，若$A_{13}A_{12}A_{11}=011$則ROM SELECT會在Z_3輸出端產生一個0(L)的信號（此時其它輸出端爲1），由圖一上知此時ROM D8之晶片選擇CS1和CS3被致能（且當$\overline{INH}$=H時，CS2被致能）。即此時經由A_0～A_{10}的位址信號，可選擇到ROM D8所含之2K位置中



的低一位置。ROM D8的2K個位置可分成8個pages（$D8～$DF），每個pages含256個記憶位置（$\phi\phi$～$FF），其關係如上頁右表所示。

由上面的說明可推出當$\phi 1=0$且$A_{15}A_{14}=11$時，若$A_{13}A_{12}A_{11}=100$則會選擇（SELECT）到ROM Eϕ（即E\phi$～$E7，8個pages）的2K記憶位置。依此類推，當$\phi 1=0$且$A_{15}A_{14}=11$時，若$A_{13}A_{12}A_{11}=111$則會選擇到ROM F8（即$F8～$FF，8個pages）的2K個記憶位置，也就是經由ROM SELECT的輸出即可選擇到電路圖上所示ROM Dϕ～ ROM F8，6個2K Byte（2716）共12K的記憶位置，爲了清楚起見，將ROM之定址列表如右：

	$A_{15}A_{14}A_{13}$	ROM SELECT IC 輸出端	由ROM SELECT 選擇之ROM	page	記憶大小
$\phi 1=0$(L)	0 1 0	Z_2	ROM D8	$D8～DF	2K
$A_{15}A_{14}=11$	0 1 1	Z_3	ROM E8	$E8～EF	2K
$A_{13}=1$(H)	1 0 0	Z_4	ROM F8	$F8～FF	2K
	1 0 1	Z_5	ROM E8	$E8～EF	2K
	1 1 0	Z_6	ROM F8	$F8～FF	2K
	1 1 1	Z_7	ROM F8	$F8～FF	2K

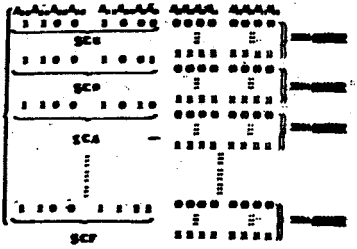
上面已經討論了ROM SELECT之六個輸出端（Z_2～Z_7）分別選擇到APPLE Ⅱ主機板上的六個ROM之情形，下面就來說明ROM SELECT之另兩個輸出端（Z_0和Z_1）被用來選擇I/O位置的情形。

I/O之定址

APPLE Ⅱ的I/O有兩種，一種在主機板上（ON board）的I/O，另一種是在周邊板的I/O，由圖一系統記憶圖上可以看到由$C0～$CF共16 pages 4K Byte的記憶區爲I/O所佔據，其中$C0爲主機板上I/O所用掉，而其餘爲周邊板I/O用到的，下面來看看它們位置之選擇。

由圖三知當$\phi 1=0$(L)且$A_{15}A_{14}=11$時，若$A_{13}A_{12}A_{11}=001$則在ROM SELECT的Z_1輸出端會產生一個0(L)的輸出，其它的輸出端爲1(H)。ROM SELECT Z_1輸出端所產生的0(L)信號，被送到APPLE Ⅱ主機板上之週邊連接器（peripheral connector）的$\overline{\text{I/O STB}}$（I/O激發）輸入端，這樣一來即可定址到週邊卡上的2K個記憶位置（$C8$\phi\phi$～CFFF），列表如下：

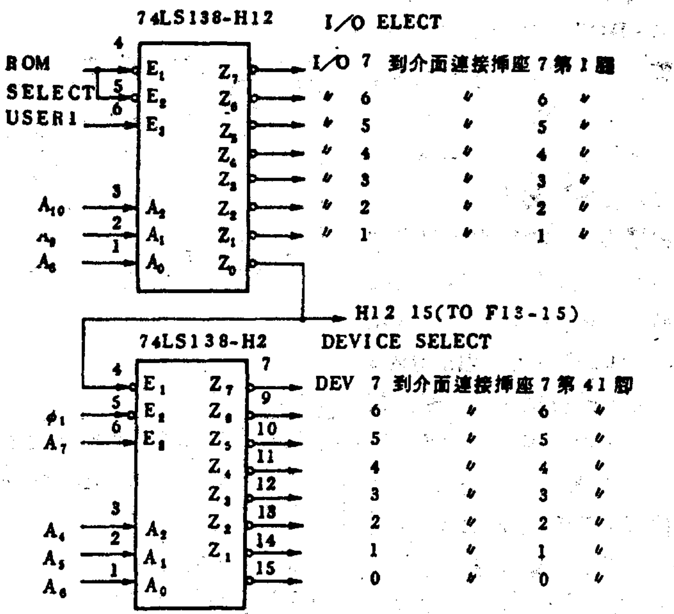
週邊卡有很多種如PRINTER CARD、DISK DRIVE CARD，……等，在APPLE Ⅱ主機板上共具有8個（如圖三上電路上所示的週邊界面連接器（插座），用來連接這些週邊卡。



由電路上ROM SELECT之輸入端知，當$\phi 1=0$(L)且$A_{13}A_{14}=11$時，若$A_{10}A_{12}A_{11}=000$則在ROM SELECT的Z_0輸出端會產生一個0(L)的信號，其它輸出端爲1(H)。從電路圖上知ROM SELECT之Z_0輸出端是連接到I/O SELECT（74LS138-H12)之致能（E1，E2）輸入端，另一致能輸入（E3）是連接到NMI(平常NMI=H即E3被致能，當NMI=L時，則I/O SELECT失效），將整個I/O SELECT之定址列表說明如右。

$A_{10}A_9A_8$	I/O SELECTS之輸出
1 1 1	I/O 7—L（其他輸出端爲H）
1 1 0	I/O 6—L（ 〃 ）
1 0 1	I/O 5—L（ 〃 ）
1 0 0	I/O 4—L（ 〃 ）
0 1 1	I/O 3—L（ 〃 ）
0 1 0	I/O 2—L（ 〃 ）
0 0 1	I/O 1—L（ 〃 ）

下述七個I/O SELECT之輸出被分別連接到七個週邊連接器（peripheral connector 7～1）上之I/O SELECT接腳（有一點要注意的是I/O SELECT信號並不出現在週邊連接器0，此點可由電路圖上看出）。這些I/O SELECT信號通常是用來開啓週邊連接器（7～1中任一個）上所保留的一頁（256位置記憶區，由於週邊界面連接器上所連接的週邊界面卡（如磁碟機界面卡，PRINTER card等），往往需要一些驅動程式或副程式，而I/O SELECT信號即可用來開啓週邊界面連接器上所保留的一頁（256位元）ROM



圖三

（或 PROM）記憶區，至於此頁記憶區位置則由 A_0～A_7 來決定（即可選擇 $2^8=256$ 個位置）。週邊界面卡 PROM 位置之分配列表如下：

週邊卡 I/O 位置分配

週邊卡ROM位置分配		記憶大小
週邊設備擴充插孔1（slot 1）	$C100～$C1FF	256個位置
2	$C200～$C2FF	〃
3	$C300～$C3FF	〃
4	$C400～$C4FF	〃
5	$C500～$C5FF	〃
6	$C600～$C6FF	〃
7	$C700～$C7FF	〃

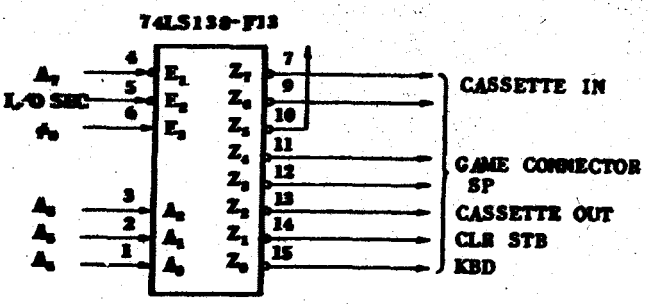
由電路圖上知當 $\phi 1=0$(L)，$A_{15}A_{14}=11$ 且 $A_{13}A_{12}A_{11}=000$，NMI＝1(H)時，若 $A_{10}A_9A_8=000$，則 $\overline{\text{I/O SELECTS}}$ 的 Z_0 輸出端，產生一個 0(L)的信號，使得 DEVICE SELECTS（74LS138-HZ）之致能輸入（E1）被致能，在此情形下：(1)當 $\phi 1=0$(L)且 $A_7=1$ 時，則 DEVICE SELECTS 被致能，然後 DEVICE SELECTS 將輸入端 $A_6A_5A_4$ 之位址信號解碼，

以選擇8個週邊連接器（peripheral connector 0～7）中的一個 $\overline{\text{DEV SEL}}$，至於此週邊連接器上的 $2^4=16$ 個位置）。週邊卡的I/O位置之分配可列表如右所示：

週邊卡	位置分配	記憶大小
週邊連接器插孔 0（slot 0）	\$Cφ8φ～\$Cφ8F	16個位置
1	\$Cφ9φ～\$Cφ9F	〃
2	\$CφAφ～\$CφAF	〃
3	\$CφBφ～\$CφBF	〃
4	\$CφCφ～\$CφCF	〃
5	\$CφDφ～\$CφDF	〃
6	\$CφEφ～\$CφEF	〃
7	\$CφFφ～\$CφFF	〃

(2)當 $\phi 1=0$ (L)且 $A_7=0$ 時，則DEVICE SELECTS失效，但ON BOARD I/O DECODE（74LS138-F13）之致能輸入（E1）被致能。另兩個致能輸入（E2和E3）由圖上知E2是連接到（H12-15）即連接到I/O SELECTS之 Z_0 輸出端，所以E2致能的條件是 $\phi 1=0$ (L)，$A_{15}A_{14}=11$、$A_{13}A_{12}A_{11}=000$，NMI＝H、$A_{10}A_9A_8=000$。致於E3則是連接到 $\phi 0$，所以 $\phi 0=1$ 時E3致能，爲了清楚起見，特將上述之關係總結如下：

當 $\phi 1=0$ (L)，NMI＝1(H)且 $A_{15}A_{14}A_{13}A_{12}A_{11}A_{10}A_9A_8A_7=110000000$ 時，ON BOARD I/O Decode（74LS138）被致能，此時將 A_6～A_0 之七條位址線的信號加以解碼，可產生 $2^7=128$ 個記憶位置，而這些記憶位置即被分別連接到主機板上特定的I/O裝置去，下面就來說明一下這些主機板上I/O裝置的解碼（ON BOARD I/O DECODE）請參閱圖四，如上所述當 $\phi 1=0$，NMI＝1且 $A_{15}A_{14}A_{13}A_{12}A_{11}A_{10}A_9A_8A_7=110000000$ 時ON BOARD I/O Decode(74LS 138-F13）被致能。①此時若 $A_6A_5A_4=000$ 則在74LS138之 Z_0 輸出端會產生一個0(L)的輸出信號，其它輸出端之輸出信號則爲1(H)。而 Z_0 輸出端的信號即代表鍵盤資料輸入（KBD）致能信號，由電路圖上知KBD是連接到IC-B7和IC-B6（即74LS257）所組成的RAM，以及鍵盤（74LS257）所組成的RAM，以及鍵盤（KEYBOARD）資料選擇器多工器的資料選擇輸入端，因爲此時KBO＝0(L)，則此時多工器是選擇鍵盤之資料作爲輸入（至於多工器之輸出則由 $\overline{\text{RAMSL}}$ 來控制），而此時在APPLE II主機板上，作爲鍵盤資料輸入的記憶位置，可由 A_3～A_0 來決定（可產生 $2^4=16$，即\$φ～\$F



圖四 ON BOARD I/O DECODE

共十六個位置）。由上面之討論知道，APPLE Ⅱ主機板上記憶位址 $C\phi\phi\phi$～$C\phi\phi F$，是作爲鍵盤之資料輸入。②在ON BOARD I/O Decode被致能的情形下，若$A_3A_2A_1=001$，則在74LS138之Z_1輸出端會產生一個0(L)的輸出信號，其它輸出端之輸出信號則爲1(H)。而Z_1輸出端的信號即代表鍵盤清除激發（$\overline{CLR\ STB}$）致能信號，即此時$\overline{CLR\ STB}=L$，由電路圖上知此信號將使得作爲鍵盤旗號的74LS74正反器（B10）被復置（∵此時$\overline{R}=L$）。此處順便說明一下。74LS74-B10的輸出Q（即鍵盤旗號）是和鍵盤（A7）的七條資料輸入線（B1～B7），一同送到由兩個74LS257（B6和B7）組成的鍵盤和RAM 資料選擇器多工器的輸入端，然後經由多工器的選擇，再送到APPLE Ⅱ主機板上的資料匯流排（D_0～D_7）。由上面之討論知道，當$A_{15}A_{14}A_{13}A_{12}A_{11}A_{10}A_9A_8A_7A_6A_5A_4=1100\ 0000\ 0001=\$C\phi1$時鍵盤清除激發被致能（$\overline{CLR\ STB}=L$），而此鍵盤清除激發在APPLE Ⅱ主機板上所對應的記憶位置可由A_3～A_0來決定（可產生$2^4=16$，即$\$\phi$～$\$F$十六個位置），也就是說由$C\phi1\phi$～$C\phi1F$的十六個位置是作爲鍵盤清除激發的記憶位置。

上面已討論了在APPLE Ⅱ主機板上ON BOARD I/O Decode的鍵盤資料輸入（$C\phi\phi\phi$～$C\phi\phi F$）和鍵盤清除激發（$C\phi1\phi$～$C\phi1F$）之位址解碼及其定址方式。此外其餘在主機板上固定的I

/O位置，亦可依據上述方式求得。爲了方便起見，將主機板上I/O的位置分配，列表如下：

	$0	$1	$2	$3	$4	$5	$6	$7	$8	$9	$A	$B	$C	$D	$E	$F
$C000	鍵盤資料輸入															
$C010	鍵盤清除設置															
$C020	錄音開關輸出															
$C030	揚聲器開關															
$C040	公用程式設置															
$C050	gr	tx	nomix	mix	pri	sec	lores	hires	an0		an1		an2		an3	
$C060	cin	pb1	pb2	pb3	gc0	gc1	gc2	gc3	遊戲 $C060~$C067							
$C070	遊戲控制器設置															

表中縮寫說明：

gr	設定繪圖（GRAPHICS mode）	lorse	顯示低解析度圖形
tx	設定文字方式（text mode）	hires	顯示高解析度圖形
nomix	設定文字或繪圖	an	指示器輸出
mix	混合文字與繪圖	pb	按鈕輸入
pri	顯示第一頁內容	gc	遊戲控制器輸入
sec	顯示第二頁內容	cin	錄音機輸入

RAM的形式

在APPLE Ⅱ主機板上的RAM記憶區是由8至24個IC所組成。這些RAM IC被裝在APPLE主機板上的三列插座上，而每列插座上隨使用RAM之不同，其上面的RAM可能是4,096（4K）bit或16,384（16K）bit的型式，若使用的是4K的RAM IC則它是屬於Mostek“4096”族，其編號可以是“MK 4096”或“MCM 6604”。若使用的是16K的RAM IC則它是屬於“4116”的型式，且其編號可以是“MK 4116”或“UPD4160”。由於上面所提到的4K或16K RAM IC都是屬於1位元（bit）的型式，而APPLE Ⅱ上的6502 CPU之資料匯流排（data buses）是8位元的形式，所以爲了使CPU和RAM之間能互相傳送8位元的資料，因此每一列IC插座上的8個RAM IC都是16K的形式，則剛好可以組成一個16K×8（即

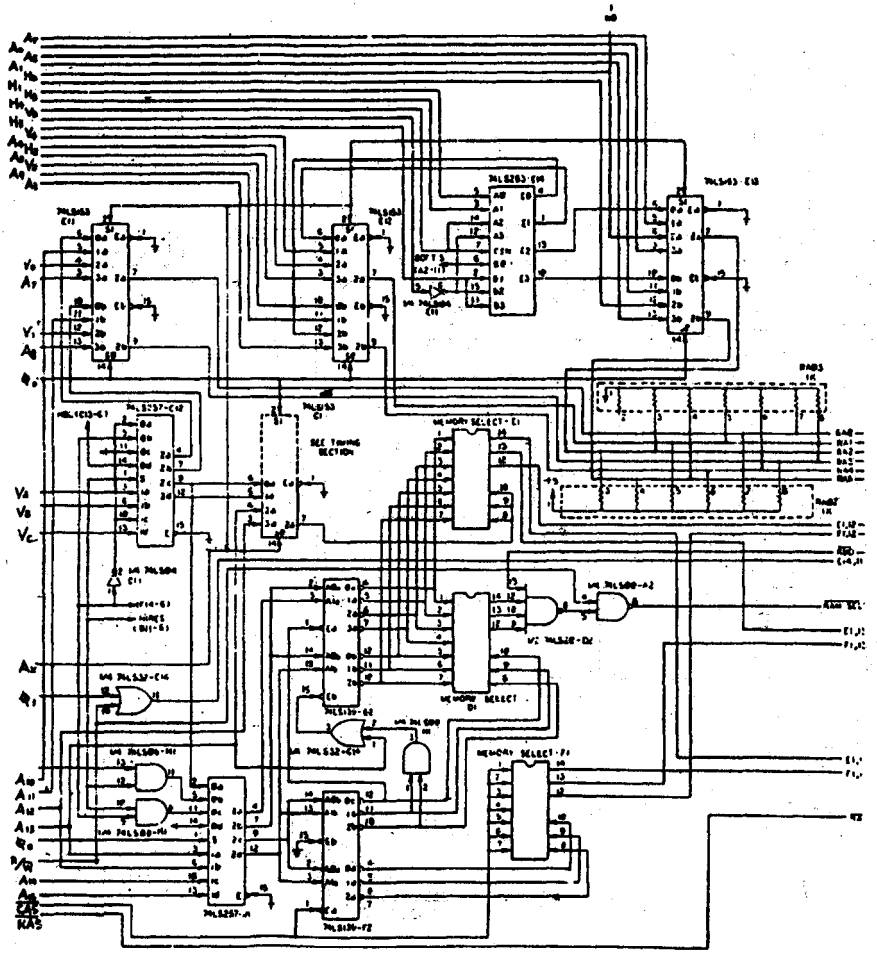
記憶位址有16K個，每個位址是8個單元）的RAM記憶區，同理，如果在一列IC插座上的8個RAM IC都是4K的形式，則剛好可以組成一個4K×8的RAM記憶區。經由上面的說明可以知道，在APPLE Ⅱ主機板上的三列RAM IC插座若全部裝上4116 RAM，則可以組成一個48K×8的記憶區。有一點要順便一提的是，在一列由4116組成的RAM記憶區（16K×8），最左邊的（C_8、D_8、E_8）4116 IC之位元代表最低位元（D_0）。最右邊的（C_{10}、D_{10}、E_{10}）位元代表最高位元（D_7）。在APPLE Ⅱ主機板上最前方的（C_8～C_{10}）的那一列RAM IC之記憶位址是由$\$\phi\phi\phi$至$3FFF（即16K的記憶範圍），次一列RAM IC之記憶位址是由$4\phi\phi\phi$至$7FFF，最後一列（$E_8$～$E_{10}$）RAM IC之記憶位址則是由$8\phi\phi\phi$至$BFFF，這裏所指的是指RAM 4116而言。

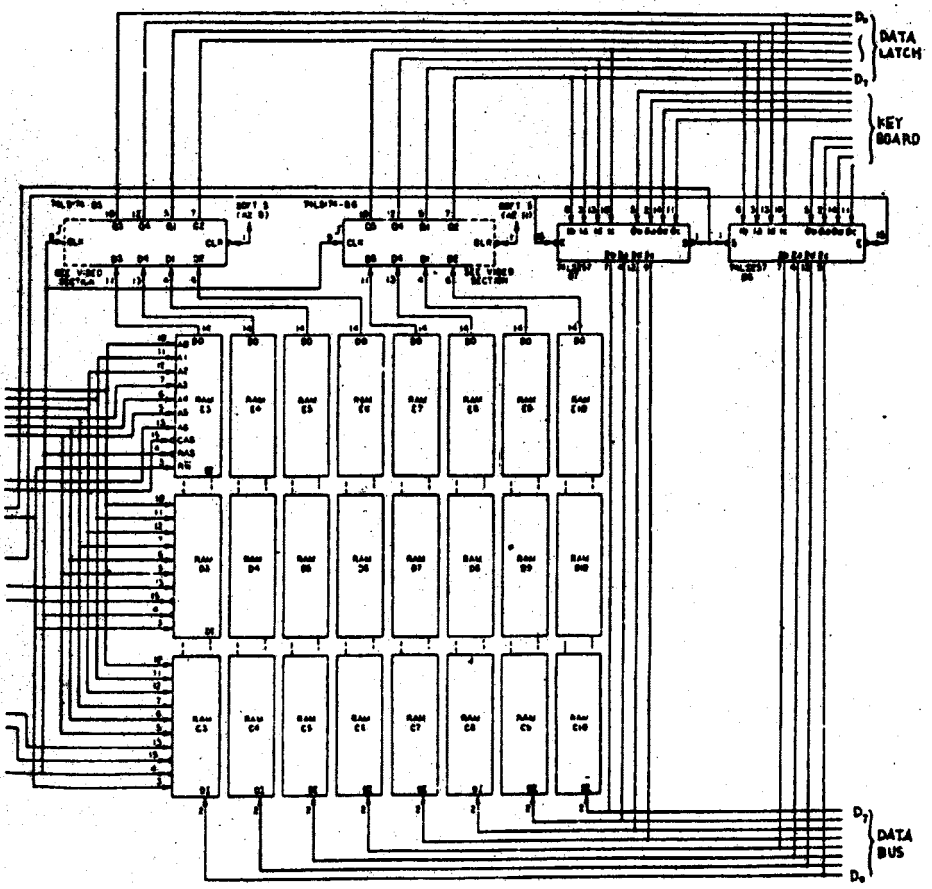
RAM相關電路的作用

上面已說明了APPLE Ⅱ上的RAM之組成，下面就來說明一下APPLE Ⅱ主機板上和RAM有關的一些電路的作用，如圖五所示，在APPLE Ⅱ主機板上是使用三列（共24個）4116 dynamic RAM來構成記憶區，由於一列RAM記憶區是16K位元組（bytes），所以若有三列之RAM IC則可具有48K bytes之RAM IC，這些RAM記憶器是由微處理器和視頻顯示電路共同使用。微處理器僅在時脈$\phi 0$期間，對RAM作讀出（Read）或寫入（Write）的動作，而視頻顯示電路則在時脈$\phi 1$期間，利用RAM來更新（refreshes）其螢幕顯示，也就是說微處理器和視頻顯示電路，藉著時脈的控制而交互的使用RAM記憶區。

在APPLE Ⅱ主機板上是用三個74LS153（編號爲E11，E12，E13），一個74LS283（E14）和半個74LS257（C12），組成位址多工器（address multiplexer）。此位址多工器電路可接收由微處理器和視頻產生器所產生的位址信號，然後將這些位址信號多工器，化成六條位址信號，再送至RAM之A_0～A_5的位址輸入端。其它

圖五 RAM解碼電路




DATA LATCH
KEY BOARD
DATA BUS

的RAM位址信號，如RAS和CAS，以及A_6（若使用的是16K的RAM）或CS（若使用的是4K RAM），都是由RAM選擇電路所產生，而此RAM選擇電路是由兩個74LS139（編號爲E2和F2）半個74LS153（C1），一個半74LS257（C12和J1）。以及三個記憶選擇器（D1，E1，和F1）所組成。

動態（dynamic）RAM會在時脈ϕ1期間，自動更新影像產生電路，因爲電視螢幕總是顯示至少1K bytes範圍的記憶，因此它必須以每秒鐘60次的速度，週期性地更新在這1K bytes範圍中的每個記憶位置的內含。這個動作也同時的更新48K bytes RAM記憶器中的每個位元。而在APPLE Ⅱ電路上，即是使這個動作和影像與微處理器對RAM交互存取的動作相配合。如此一來，在APPLE Ⅱ上的影像顯示，微處理器和RAM的更新都可以最快的速度操作而不會相互干擾。

由圖五上可以知道RAM記憶區的8位元資料輸入是由系統的資料滙流排（data buses）取得。而RAM的8位元資料輸出是由兩個74LS174（編號爲B5和B8）閂鎖住（latched）再和由鍵盤送過來的七位元資料及一位元的鍵盤激發輸出（key board strobe）所組成的8位元資料，作多工（multiplex）的選擇此多工的選擇是利用兩個74LS257（B6和B7）來完成。上面由B5和B8栓閂鎖住的RAM輸出資料是被直接送到影像字形產生器，彩色和點產生器去，且這些RAM輸出資料經由B6和B7的多工選擇，可以再送回系統的資料滙流排去。

RAM電路的解碼和定址

由於APPLE. Ⅱ系統中之6502微處理器僅在時脈ϕ0（ϕ0=1）期間才用到位址線和資料線，也就是說微處理機只有在ϕ0期間對RAM作讀出或寫入的動作。在ϕ1（ϕ0=0）期間，一切記憶器的動作（讀或寫）均被停止，此時微處理器僅執行內部的操作，而不使

用位址線和資料線，因此爲了說明RAM 之選址方便起見，在下面之討論中均假設$\phi 0=1$（$\phi 1=0$）。

首先由圖五知道74LS257（J1），是一個含有四組2至1線資料選擇器多工器的IC，當$\phi 0=1$時，此IC之資料選擇輸入S＝1，所以選到由$A_{12}A_{13}A_{14}A_{15}$ 所組成的四個位址輸入信號，且將此四個位址信號送到其輸出端（J1之輸出控制E被接地，所以其輸出是隨時處於致能的狀態）。電路圖上知位址信號A_{14} 和A_{15} 被送至74LS139（F2）解碼器／解多工器之輸入端。我們先來看位址信號和三列RAM之關係可列表如下：

			A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	～	A_0
RAM之記憶範圍	16K	$\$\phi\phi\phi\phi$～$\$3FFF$（頭一列RAM）	0	0	0	0	0		0
			0	0	1	1	F		F
	16K	$\$4\phi\phi\phi$～$\$7FFF$（次一列RAM）	0	1	0	0	0		0
			0	1	1	1	F		F
	16K	$\$8FFF$～$\$BFFF$（最後一列RAM）	1	0	0	0	0		0
			1	0	1	1	F		F

由表列出之各列RAM 所對應的記憶位置，知道可以利用A_{15} A_{14} 之信號來加以解碼，以選擇到對應的那一列RAM ，而F2之致能輸入Ea是CAS信號來控制，當CAS＝L時，則F2致能其中下方之一組輸入，此時其輸出由下列方式決定。①當$A_{15}A_{14}=00$則在ϕa輸出端產生一個0(L)的信號，此信號經由記憶選擇器F1而送到頭一列RAM（編號C3～C1ϕ）之CAS輸入端。②同理當$A_{15}A_{14}=01$則在1a之輸出端產生一個0的信號，此信號也經由F1而送到次一列RAM(D3～D1ϕ）之CAS輸入端。③若$A_{15}A_{14}=10$則在2a之輸出端產生一個0的信號，然後經由F1送到最後一列RAM(E3～E1ϕ）之CAS輸入端，也就是經由上述的方式，即可將CAS信號送到它所對應的那一列RAM記憶區去。

在J1輸出端之$A_{15}A_{14}$ 信號除了送到方才討論的F2之下方那一

組輸入外，也送到F 2之上方的那一組解碼器的輸入端，由於此組解碼器的致能輸入E b是被接地，所以它是隨時處於致能的情形，而其輸出也是由A_{15} A_{14}之解碼信號來控制，當$A_{15}A_{14}=00$則ϕb輸出爲0，$A_{15}A_{14}=01$則1b輸出爲0，若$A_{15}A_{14}=10$則2b輸出爲0。由圖上知這些輸出分別連接到記憶選擇器D1其所對應之記憶範圍的輸入端，又由圖上知F 2之1b和2b之輸出信號也被送至AND閘（H1）之輸入端，然後再將H1之輸出信號與位址信號A_{13}送到OR閘（C14）之輸入端，由C14之輸出來控制解碼器／解多工器74LS139（E2）之致能輸入。爲了說明方便，我們先來看一下記憶選擇器(D1)之輸入端所分配的記憶範圍和位址信號的關係，然後根據這些關係來找出其解碼的方式。

記憶空間		記憶選擇器D 1 輸入端之記憶範圍	所對應的較高次之四個位元的位址信號 A_{15} A_{14} A_{13} A_{12}	$A_{13}\bar{A}_{12}$解碼輸出
腳1	4 K	\$φφφφ ～ \$φFFF	0 0 0 0	0
腳2	4 K	\$1φφφ ～ \$1FFF	0 0 0 1	1
腳3	4 K	\$2φφφ ～ \$2FFF	0 0 1 0	2
腳4	4 K	\$3φφφ ～ \$3FFF	0 0 1 1	3
				$A_{13}A_{12}$解碼輸出
腳5	4 K	\$4φφφ ～ \$4FFF	0 1 0 0	0
腳6	4 K	\$5φφφ ～ \$5FFF	0 1 0 1	1
腳7	4 K	\$8φφφ ～ \$8FFF	1 0 0 0	2

作AND

作OR

由此表中得知，利用A_0～A_{11}即2^{12}可定址到4 K之記憶範圍，至於是定址到那個記憶區則由A_{15} A_{14} A_{13} A_{12}來決定。由圖五上可以看到，當$A_{15}A_{14}=00$則F2之ϕb輸出端爲0(L)，使E 2之致能輸入Ea被致能；此時E2輸入端之A_{13} A_{12}經由解碼即可選擇到它在D1

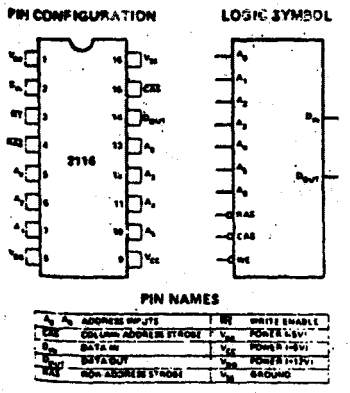
所對應的記憶範圍。

由電路圖上F2之Aφb和A1b輸入端可以看出，當A_{13} A_{14} =01或10均會使H1之輸出爲0，此時若A_{13} =0則C14之輸出爲0(L)，使得E2之致能輸入Eb被致能；此時E2輸入端之A_{13} A_{12}經由解碼即可選擇到它在D1所對應的記憶範圍。

上面已說明了位址信號經由解碼後，再連接到記憶選擇器D1之輸入端的情形。且由電路上我們可以看到這些位址解碼信號不但送到D1去，同時也送到記憶選擇器E1之輸入端去。然後D1和E1輸入端之位址解碼信號，經由內部之跳線連接到輸出端去。現在再來說明一下D1及E1和記憶器間之連接情形，由圖上知D1之三支輸出脚(脚14，13，12)用來選擇三列RAM和KBD之信號被接到非及閘(D2)之輸入端去，即當KBD=L或D1之脚14 13 12中有任一脚爲L則D2之輸出爲H，此D2之輸出信號再和R/W信號送到非及閘(A2)之輸入端去。①如上所述，若D2之輸出爲H，則當R/W=H(CPU對RAM或鍵盤作REHD之動作)時，A2之輸出爲L(RAM SEL=L)，此時B6和B7之輸出被致能(鍵盤和RAM選擇器／多工器致能)。當KBD=L則選擇鍵盤之資料，讓CPU讀出，反之若KBD=H則選擇RAM之資料讓CPU讀出。②理由同上，若D2之輸出爲H，則當R／W=L(CPU對RAM作WRITE之動作)時，A2輸出爲H(RAM SEL=H)，此時B6和B7之輸出被禁止(鍵盤和RAM資料選擇器／多工器失效)。此時CPU直接對RAM作寫入之動作。③在①和②所討論的都是D2之輸出爲H的情形，另有一種情形是，當位址信號解碼後並未選擇到APPLE Ⅱ主機板上三列RAM中的任一列，即D1之脚14，13，12之輸出均爲H，此時若KBD=H，則D2之輸出爲L，也就是說A_2輸出爲H(RAM SEL=H)，由電路圖上可以知道B6和B7之輸出被禁止。

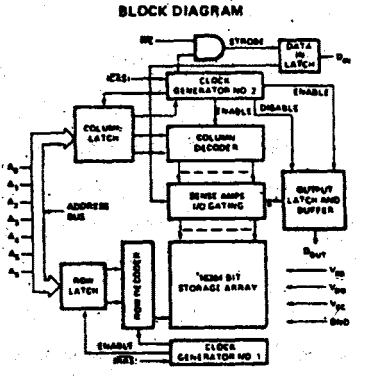
RAM選址方式

前面曾經提到APPLE Ⅱ主機板上的RAM記憶區，是由三排（每排8個）RAM所組成，爲了說明RAM之選址方式，下面先介紹一下這些RAM之結構。



右圖所示是具有4116 dynamic RAM相同功能的Intel 2116 FAMILY的一個16,384×1 BIT DYNAMIC RAM。

Intel 2116 dynamic RAM是16,384×1（16K×1）bit，所以應具有14位元（bit）之位址信號（$2^{14}=16K$），但我們由2116之接脚知道，它僅具有7條位址線（A_0～A_6），也就是說2116必須將14位元之位址信號，多工化（multiplexing）變成二組7位元之位址信號，然後再送到2116之位址輸入端，2116是利用兩個TTL時脈信號（RAS和CAS），將兩組7位元之位址信號分別閂鎖起來。



由右面之RAM結構方塊圖知道，當CAS（列位址激發信號）＝L時，則2116輸入端之7位元位址信號被閂鎖住，再送到列解碼器加以解碼，而在列0～127間之某個接線，產生對應的解碼輸出。同理當RAS（行位址激發信號）＝L時，則2116輸入端之另外一個7位元位址信號被閂鎖住，然後再經由行解碼器解碼，而在行0～127間之某個接線產生對應輸出，經由行和列解碼器所產生對應的交點，即是所選中的位址（行×列＝$2^7\times2^7=2^{14}=16K$），共可選16 K的記憶範圍，有一

點要注意的是，由2116之接脚圖知道，它的資料線（是單向的）有兩條，一條作爲資料輸入（D_{IN}），另一條作爲資料輸出，即屬於串進串出的形式，所以在APPLE Ⅱ上利用8個這種RAM並排起來，即可組成16K×8的RAM，利用此種方式組成的RAM記憶區，雖然解碼電路可能要複雜些，但由於它是MOS結構的動態記憶裝置，所以需要每隔一段時間，就要作記憶更新（memory refresh）的動作。但使用此種dynamic RAM主要優點是可以較低的成本，獲得較大的記憶容量。

上面已說明了APPLE Ⅱ所使用的動態式隨意存取記憶（dynamic RAM）的結構。下面就來說明位址信號是如何經由解碼，然後送到這些RAM之輸入端。

由APPLE Ⅱ電路圖上知道，位址信號（A_0～A_{11}）被分別接到E11，E12和E13的三個74LS153 IC的輸入端，這些IC內含有兩組4至1線的資料選擇器／多工器，可以用來選擇其輸入端由A_1 A_8 A_6 A_0 A_2 A_7 組成的一組位址信號或由A_6 A_9 A_{11} A_5 A_4 A_{10} 組成的一組位址信號，來作爲RAM的A_5～A_0的位址輸入信號。至於這兩組位址信號是代表列位址（Column）或行位址（ROW），則由CAS或RAS來控制，由於這兩組位址信號，僅能產生（$2^6 \times 2^6 = 2^{12}$，4K）4K個位址選擇信號，此時若所使用的是16K的RAM，則由記憶選擇器E1送出A6的位址信號至RAM之A6輸入端，使能定址到16K的記憶範圍，反之若使用的是4K的RAM，則E1送出的並不是位址信號A6，而是作爲晶片選擇CS信號。

剛才已說明了E11，E12和E13輸出端之位址信號是如何連接到RAM之輸入端，以選擇到所需要的記憶範圍。現在就來說明一下它們是如何將輸入端的位址信號，分成兩組來傳送（即對輸入的位址信號，進行多工化，以選擇其中的一組來作爲輸出）。由電路圖上知道，E11，E12，E13之資料選擇輸入Sϕ是接到ϕ0，S1是接到A_x，利用Sϕ和S1可選擇$2^2=4$（即4條輸入線之一來作爲輸出）種

變化。至於輸出致能控制Ea和Eb均被接地，所以這三個IC是隨時處於輸出致能的的狀態。

由圖上知，①當$\phi 0=1$（$S\phi=1$），$A_x=0$（$S1=0$）時，E11是選擇A10和A11作爲輸出，E12是選擇A4和A9而E13則是選擇A5和A6作爲輸出。這六條位址信號經由CAS的控制，送入RAM之之A_0～A_5輸入端。②當$\phi 0=1$（$S\phi=1$），$A_x=1$（$S_1=1$）時E11是選擇A_7和A_8作爲輸出，E12是選擇A_2和A_3而E13則是選擇A_0和A_1作爲輸出。這六條位址信號經由RAS的控制，送入RAM之A_0～A_5輸入端，這裏要附帶一提的是，由於APPLE Ⅱ僅有在$\phi 0$期間傳送位址信號，所以上述的位址多工，均是假設$\phi 0=1$，而由時序控制$A_x=0$或1，來決定選擇那一組位址信號來送至RAM。

對於C1（74LS153）而言，其資料選擇$S\phi$是接到A_x，S1則接到$\phi 0$。當$\phi 0=1$，$A_x=0$時C1是選擇A_{13}來作爲輸出信號。若$\phi 0=1$，$A_x=1$，則C1是選擇A_{12}來作爲輸出信號。這C1的輸出信號被連接到記憶選擇器E1的輸入端，以控制E1送出A6(對16K RAM而言）或CS（對4K RAM而言）去選擇到其所對應的那一排RAM的記憶範圍。

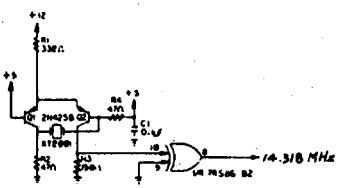
APPLE Ⅱ 微電腦電路分析

系統時脈與影像控制電路

主時脈產生

如圖1所示，由兩個電晶體（Q_1,Q_2）和電阻，電容以及一個14.318 MHz的石英振盪晶體，組成的振盪電路。由此振盪電路所產生的時脈方波並不非常接近理想方波，所以將此振盪波形經過一個XOR閘，然後再加以輸出，如此一來，不但可將振盪信號的電流加以提昇，且可在XOR閘（B2）的輸出獲得較理想的14.318 MHz之時脈振盪信號，此時脈信號即是APPLE Ⅱ系統中14.318 MHz的主時鐘脈波。

圖1

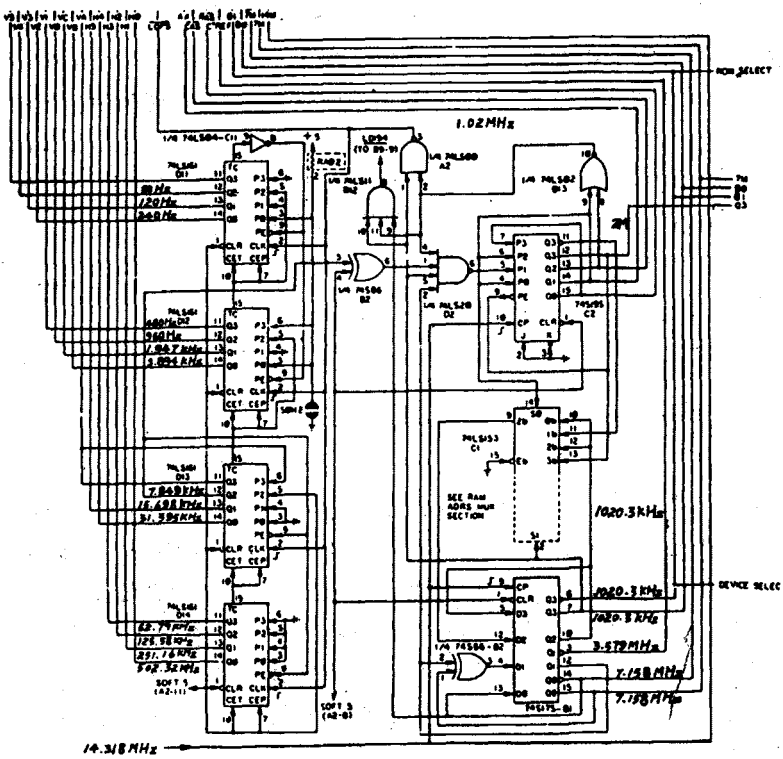


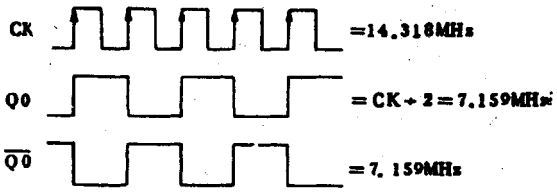
系統時脈

爲使系統中各電路的動作與各周邊電路的動作能夠同步，所以在系統上必須有一些時序信號，來控制整個電路的動作，下面就來說明這些不同時序信號的產生：如電路圖2所示，B1、C1、C2三個IC以及外部的邏輯閘，組成除頻道路，而由石英振盪電路產生的14.318 MHz主時脈信號，即是加到除頻電路中各IC的時脈（CP）輸入，然後經由邏輯閘和IC的組合，將此14.318 MHz時脈加以除頻，然後在除頻電路的輸出端，產生控制系統動作的

各時脈信號。例，由圖2電路知74 LS 175-B1，是含有四組D F-F（正反器）的組合，其清除（CLR）輸入被接1(H)，所以不會產生清除的作用，而其時脈（CP）輸入是14.318 MHz，至於其輸出則可由下列方式推得。由圖知D0 = $\overline{Q0}$ = 1（設Q0 = 0），所以Q0和CK之關係如下圖所示。

■2





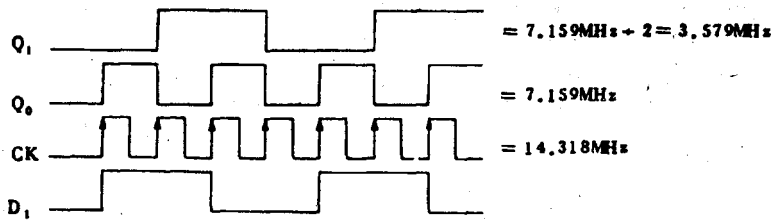
CK	D	Qn+1
↑	0	0
↑	1	1
↓	X	Qn

X表示 don't care

↑表示 positive edge trigger

上面說明的主時脈 14.318 MHz 除以 2 後，所得到的 Q0＝7.159 MHz 信號，即是信號匯流排中的 7 M信號。至於 $\overline{Q0}$，也就是 7 M信號，其頻率和 Q0 相同，僅是相位相反而已。

爲了更清楚起見，下面再以信號匯流排中之彩色參考頻率(C'REF)爲例，來說明它是如何產生的。由圖 2 知 $D_1 = Q0 \forall Q1$（∀表示Q0與Q1作 Exclusive-OR），即 $D1 = Q0 \forall Q1 = Q0\overline{Q1} + \overline{Q0}Q1$，設起初 Q0＝0，Q1＝0 則 D1 和 CK 之關係如下圖所示：



即 Q1 之頻率相當於 Q0 之頻率除以 2，也就是說信號匯流排上之 C'REF（即 Q1）信號爲 3.580 MHz。在上面已說明了除頻電路是如何將 14.318 MHz（14M）的信號加以除頻，而產生信號匯流排上之 7M，7M 和 C'REF 信號。至於其他的系統時序（system timing），如 $\phi 0$，$\phi 1$，A_x，$\overline{RAS}$，$\overline{CAS}$ 以及 LOPS 和 Q3 等信號，也可依此類推。爲了方便起見，將這些系統時序信號的值，附錄於電路圖上，且將其主要作用列表如下：

Timing Signal Descriptions	
14M:	Master Oscillator output, 14.318 MHz. All timing signals are derived from this signal.
7M:	Intermediate timing signal, 7.159 MHz.
COLOR REF:	Color reference frequency, 3.580MHz. Used by the video generation circuitry.
Φ0 (Φ2):	Phase 0 system clock, 1.023MHz, compliment to Φ1.
Φ1:	Phase 1 system clock, 1.023 MHz, compliment to Φ0.
Q3:	A general-purpose timing signal, twice the frequency of the system clocks, but asymmetrical.

在上面所提到的時序信號中，僅有7M，$\phi 0$，$\phi 1$和Q3是周邊連接器（peripheral connector）能取用的。至於14M和COLOR REFERENCE則無法讓周邊連接器取用。

影像同步信號產生電路

在APPLE Ⅱ的電視螢幕上，是以192條掃瞄線分成24組，每組含8條掃瞄線。而每組掃瞄線共可顯示40 bytes或其中一部分的記憶器內含。

上面所提到的影像掃瞄信號，通常需要同步和時序控制信號，而APPLE Ⅱ即是利用圖2上所示的四個74LS161（二進位同步計數器），即D11～D14來組成同步信號產生電路，以產生系統所需的同步和時序信號。它們的時脈（Clock）輸入，是由系統時序LDPS（=1.020 MH_z）所提供，其清除（CLR）輸入均接1(H)，所以不會對各計數器產生清除的作用。利用這些計數器（counters）的組合即可產生15種同步信號（synchronization signals），以提供影像產生電路（video generation）所需的同步時序信號。15種同步信號如下所示：

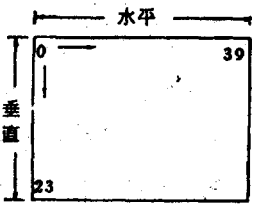
H0 H1 H2 H3 H4 H5

V0 V1 V2 V3 V4

V_A V_B V_C

爲了方便起見，這些同步信號的值，也在電路圖中標示出來。

上面所列出的H0～H5，是代表螢幕上水平位元組的位置，其位置可由000000～100111（二進位），即0～39（十進位）共40個位置。而信號V0～V4是代表螢幕上垂直線的位置，其位置可由00000～10111（二進位），即0～23（十進位）共24個位置。V_A，V_B，和V_C則代表每個垂直線位置中的8條垂直螢幕掃瞄線，其位置可由$\phi\phi\phi$～111（即十進位的0～7）。螢幕掃瞄方式以圖形表示如右：



不同的影像顯示形式

上面我們已經說明了APPLE Ⅱ影像掃瞄的方式，下面就順便說明APPLE Ⅱ所具有的三種顯示方式：

(1)文字（Text）顯示。APPLE能夠在畫面上顯示24行的數字、特殊符號，和大寫字母，且每一行（Line）可以顯示40個字元（characters），這些字元是以7點（dots）高和5點寬的點形式來形成，且字元和字元之間均相隔一個點的空間。

(2)低解析度圖形（Low Resolution Graphics）顯示。APPLE可以產生40方塊寬和48方塊高的陣列（array）顯示，即可產生1,920個彩色方塊（colored sequares），每一個彩色方塊，可以選擇16種不同的彩色，由於方塊和方塊之間並沒有任何空間，所以任兩個具有相同顏色的相鄰方塊，看起來就像一個具有單一顏色的大方塊。

(3)高解析度圖形（High-Resolution Graphics）顯示。APPLE也可顯示彩色的點（dots），即280點寬，192點高的點矩陣形式（matrix），這些點的大小和組成文字的點之大小是相同的，在高解析度圖形顯示，共可以有6種顏色：黑、白、紅、藍、綠和紫可以利用，在畫面上的點可以是黑，白，或彩色的顯示。

由電路圖上知，上面所提到的同步信號，被送到RAM位址多工（address multiplexer）去，此位址的多工器是由三個74LS153

（E11，E12和E13），74LS283（E14），和半個74LS257（C12）所組成。這些位址多工器不但接受由微處理器送來的位址信號且也接受由影像產生電路所產生的信號（如圖3所示），然後RAM

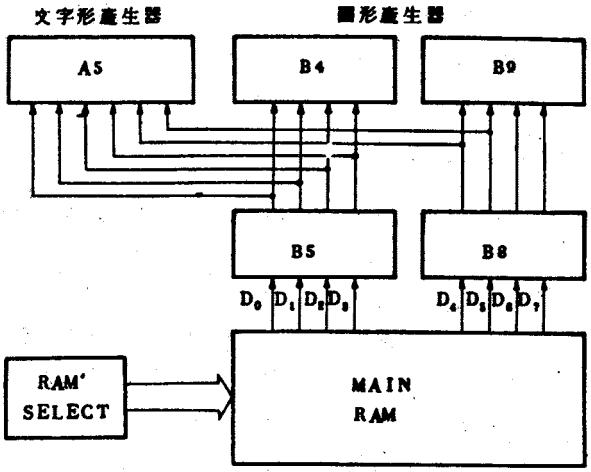


圖3

位址多工器即將這些位址信號，多工化成六條RAM位址信號。其他的RAM位址信號，$\overline{RAS}$和$\overline{CAS}$，以及A_6信號（for 16K RAM）或$\overline{CS}$信號（for 4K RAM），則是由RAM選擇電路（select circuit）所產生。這個RAM選擇電路是由兩個74LS139（E2和F2），半個74LS153（C1），一個半74LS257（C12和J1），以及三個記憶選擇器（D1，E1和F1）所組成。（請參照上回所介紹的RAM位址選擇分析）

上面已說明RAM位址多工器會將其輸入端的影像同步信號以及微處理的位址信號，多工化成單一的RAM 位址信號，而此單一的RAM位址，則是由影像顯示形式軟體開關（video display mode soft switches）的選擇來決定，此點下面一段將會加以說明，而這個RAM位址信號是在（$\phi 0=1$，$\phi 1=0$）期間，由RAM位址多工器

傳送給RAM，以選擇RAM記憶器中的一個記憶位址，由圖3上知被選中記憶位址的RAM，其所送出來的8位元資料（data），是由兩個74LS174（B5和B8）加以閂鎖（latched），然後再送到影像產生電路（video generation circuit）去，電路圖上的74LS283（E14）之主要作用是將記憶位址重新安排，使得螢幕之圖形記憶區之記憶分配圖（memory map）被改變。

影像顯示形式軟體開關

即所謂的畫面開關（screen switch），它們之所以被稱爲軟體開關（soft switch），因爲它們均具有兩個記憶位置（例ON或OFF，文字或圖形）且是由電腦以軟體控制。一個程式只要參照（reference）到代表某一開關的特定位置，即程式對這特定位置執行讀或寫的動作，就可將開關由一種狀態變成另一種狀態（ON→ OFF 或 OFF →ON）。至於執行讀或寫則並不重要，因爲主要是當電腦參照（讀或寫均可）到一特定位置時，將可使此特定位置設定爲它所代表的軟體開關的狀態，這些畫面軟體開關的記憶位置分配如右表所示。

利用軟體開關的設定，來決定畫面的顯示形式：

參見電路圖4，假如畫面被設定爲文字（text character）顯示，則影像產生電路會將較低次的六個位元資料（Data Latched BUS上），送到2513 字形產生器（A5）去，且每個字形的7列（ROW），是由V_A，V_B

Screen Soft Switches			
Location: Hex	Decimal		Description:
SC050	49232	-16304	Display a GRAPHICS mode.
SC051	49233	-16303	Display TEXT mode.
SC052	49234	-16302	Display all TEXT or GRAPHICS.
SC053	49235	-16301	Mix TEXT and a GRAPHICS mode.*
SC054	49236	-16300	Display the Primary page (Page 1)
SC055	49237	-16299	Display the Secondary page (Page 2).
SC056	49238	-16298	Display LO-RES GRAPHICS mode.*
SC057	49239	-16297	Display HI-RES GRAPHICS mode.*

Screen Mode Combinations					
Primary Page			Secondary Page		
Screen	Switches		Screen	Switches	
All Text	SC054	SC051	All Text	SC055	SC051
All Lo-Res Graphics	SC054 SC052	SC056 SC050	All Lo-Res Graphics	SC055 SC052	SC056 SC050
All Hi-Res Graphics	SC054 SC052	SC057 SC050	All Hi-Res Graphics	SC055 SC052	SC057 SC050
Mixed Text and Lo-Res	SC054 SC053	SC056 SC050	Mixed Text and Lo-Res	SC055 SC053	SC056 SC050
Mixed Text and Hi-Res	SC054 SC053	SC057 SC050	Mixed Text and Hi-Res	SC055 SC053	SC057 SC050

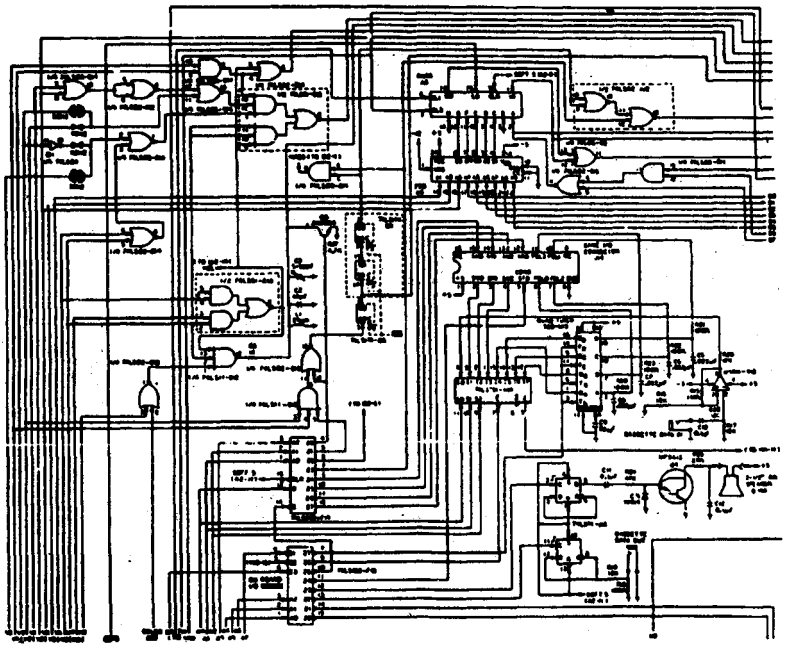


圖4(a)

和V_c來加以掃瞄。2513的（parallel）資料輸出爲5 bit 並聯，再經由74166（A3）轉換成串聯（serial）的點資料輸出，此串聯資料被送到XOR（Exclusive-OR）B2的輸入，假如資料位元組的高次位元（D_7）是OFF。且D_6是0或NE555 timer（B3）是1，則串聯的點資料將被反相（Inverted），利用此種方式，即可產生反相和閃爍的字元，然後這些字形位元（text bit）資料再送到影像選擇器／多工器（video selector/multiplexer），此點留待下面將加以說明。

參見電路圖4，假如畫面設定爲圖形顯示（graphics mode），由RAM的資料輸出將被送到兩個移位暫存器（74LS194），即B4和B9的輸入端。然後此兩組資料輸入（每組4個位元，稱nibble）

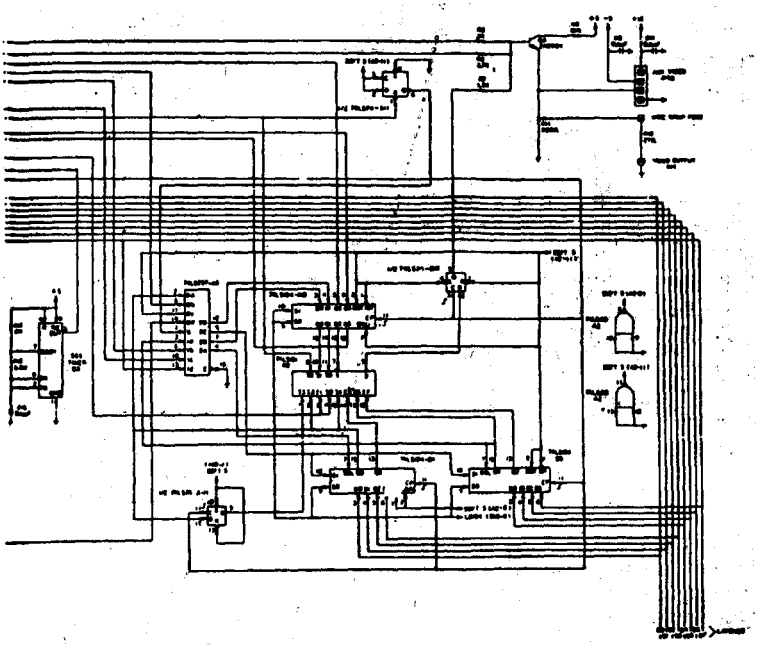


圖 4(b)

，被轉換成串聯形式，然後送到影像選擇器／多工器（video selector/multipexer）的輸入。

74LS257多工器（A8），選擇彩色或高解析度圖形顯示。假如位元組的高位元資料被設定爲 1，則 74LS74（A11）將會使串聯的高解度點資料，延遲半個週期。如此一來，就可在高解析度的圖形顯示時，產生變化的彩色顯示。

前面曾提到，利用軟體開關的設定，可以選擇文字顯示或圖形顯示來作爲影像選擇器／多工器的輸入，也就是說影像選擇器／多工器會將這些資料輸入加以組合，然後才輸出。參見電路圖 4(b)74LS194（A10）和74LS151（A9），能選擇文字（text），彩色圖形（color graphics）或高解析度圖形（high resolution graphics）之中

的一組串聯資料輸入，而此串聯資料輸入則是由影像型式（ video mode ）來決定，即軟體開關的設定來決定。經由上面所述的影像選擇器／多工器所產生的串聯資料輸出，再和影像同步電路（ video sync circuits ）所產生的複合同步信號（ composite synchronization signal ）加以混合，且送到影像輸出連接器去。

影像顯示軟體開關

參見圖 4 (a)，編號爲 B12，B13，B11，A12 和 A11 的邏輯閘，組成影像顯示軟體開關在 APPLE Ⅱ 主機板上是解碼爲一些特定的 I/O 位置。當 APPLE Ⅱ 的 6502 CPU 參照（ reference ）這些位置執行 READ 或 WRITE 的動作時，可利用這些軟體開關的設定（ ON 或 OFF ）來控制影像顯示形式（ video modes ）。

影像軟體開關的 I/O 位置分配如右圖所示：

參見圖 4 (a)，編號爲 B12，B13 和 C13 的邏輯閘，是用來產生彩色同步信號(color burst signal)，而此同步信號則受到電阻 R5，線圈 L1，電容 C2 和修整電容器（ timmer capacitor）C3 的限制，若調整修整電容器 C3 則可改變影像顯示所產生的彩色色調。由電路圖上知，當 APPLE Ⅱ 是顯示字形（ text ）時，則電晶體 Q6 和電阻 R27 會使彩色同步信號失效。

Screen Soft Switches			
Location: Hex	Decimal		Description:
$C050	49232	-16304	Display a GRAPHICS mode.
$C051	49233	-16303	Display TEXT mode.
$C052	49234	-16302	Display all TEXT or GRAPHICS.
$C053	49235	-16301	Mix TEXT and a GRAPHICS mode.*
$C054	49236	-16300	Display the Primary page (Page 1).
$C055	49237	-16299	Display the Secondary page (Page 2).
$C056	49238	-16298	Display LO-RES GRAPHICS mode.*
$C057	49239	-16297	Display HI-RES GRAPHICS mode.*

Screen Mode Combinations					
Primary Page			Secondary Page		
Screen	Switches		Screen	Switches	
All Text	$C054	$C051	All Text	$C055	$C051
All Lo-Res Graphics	$C054 $C052	$C056 $C050	All Lo-Res Graphics	$C055 $C052	$C056 $C050
All Hi-Res Graphics	$C054 $C052	$C057 $C050	All Hi-Res Graphics	$C055 $C052	$C057 $C050
Mixed Text and Lo-Res	$C054 $C053	$C056 $C050	Mixed Text and Lo-Res	$C055 $C053	$C056 $C050
Mixed Text and Hi-Res	$C054 $C053	$C057 $C050	Mixed Text and Hi-Res	$C055 $C053	$C057 $C050

APPLE Ⅱ 故障檢修技術

APPLE Ⅱ 主機板各區功能介紹

爲了讓大家對APPLE Ⅱ主PC板上各元件的配置情形，以及各元件在系統中所擔任的工作，能有所了解，所以將附圖1所示的APPLE Ⅱ微電腦主PC板零件位置圖，劃分成五個主要區域：即APPLE Ⅱ時脈產生電路，程式控制區，影像產生電路，TEXT Window字形區，主機板I/O界面區，現在分別加以說明如下：

1 APPLE時脈產生區

參見附圖1，以14.318MHz石英晶體爲主的振盪電路，其所產生之14.318MHz等幅波輸出，再經由74LS86（B2）加法器，將其加以整形及電流提升，然後此14.318MHz的等幅波輸出即作爲整個系統的主要脈波的信號源。

此主要脈波又被加到由74LS175（B1），153（C1）和195（C2）所組成的除頻電路之時脈輸入端，加以除頻作用，以產生系統所需的各個副時脈，如7MHz等時脈信號，均是由上述除頻電路所產生。然後1.02MHz之時脈信號又被送至四個74LS161（D11～D14）的時脈輸入端，加以除頻，以提供影像的水平和垂直掃瞄信號。

由於上述這一塊電路區是負責整個電路工作的同步，所以此電路只要有一部分不正常，整個APPLE Ⅱ系統將無法正常動作，或完全

不動作。因此這個區域也可以說是APPLE Ⅱ的心臟區。

2 程式控制區

在介紹完了APPLE Ⅱ 時脈產生電路後，接著再來看一下附圖1上的程式控制區。

由圖上知道，組成程式控制區部分之元件雖然很多，乍看之下會覺得很複雜，但只要將其加以分析後，則線路將變得很簡單。例如，將6個ROM（ROMI～ROM 6）和24個4116 RAM拿開後，則組成此部分的元件，就剩下沒幾個了。

首先，由APPLE Ⅱ的大腦6502 CPU開始研究其周圍各元件的功能。由圖1上可以看到，在6502的上方有3個74LS367（H3～H5），這3個IC的主要功能是將6502 CPU之位址信號加以緩衝，然後再經由位址匯流排（address buses）送給各相關元件，因此這3個IC之主要功能是作爲Bus driver。另外，在6502的下方有兩個8T28（H10，H11），這兩個IC主要是作爲6502 CPU資料匯流排（data buses）的雙向緩衝開關，以控制6502 的資料流向。另外在6502 的上面及下面各有一個74LS138，而且在ROM－1的下面也有兩個74LS138，這4個IC之主要功能是作爲3至8線的解碼器／解多工器。現在再來研究一下，這4個IC在主機板上所擔任工作的情形。

請再看看圖1，在ROM－1下方的第一個74LS138（F12）IC，主要是作爲ROM SELECT，此IC之工作就是將其輸入端之位址信號，配合時序信號和控制信號，將輸入之位址號加以解碼，以便選擇APPLE Ⅱ 主機板上的某一個ROM ，來執行程式之讀取。而在上面所提到的74LS138下方，還有另外一個74LS138（F13）IC，這個IC主要是作爲ON BOARD 1/O DECODER。它會將輸入端之位址信號，配合時序信號之控制，將這些位址信號加以解碼，以選擇到這些位置信號在主機板上所對應的I／O裝置。在AppLE Ⅱ主機

上的I／O裝置，包括喇叭，錄音機輸入／輸出，遊戲控制連接器等。。在APPLE Ⅱ系統中對這些I／O裝置，都分配特定的記憶位置。

上面已介紹了ROM SELECT和ON BOARD I／O DECODER。現在再來看一下另外兩個74LS 138的工作。由圖上可以看到，在6502上方的74LS 138（H2）主要是作爲DEVICE SELECT，此IC的解碼信號是被分別連接到編號爲ϕ～7的8個週邊插座（peripheral slot）上去，用以致能某些週邊裝置。另外，在6502 CPU的下方，有一個74LS138（H12），此IC主要是作爲I／O SELECT，即選擇週邊裝置來作輸入或輸出，但有一點要注意的是solt ϕ，在APPLE Ⅱ系統中並未分配的位置，PROM記憶（用以儲存在週邊界面電路板之驅動程式），因此一般界面電路板，都不插到Slot ϕ上去，而Slot ϕ主要作爲擴充RAM記憶容量使用，例如在Slot ϕ插上LANGUAGE CARD即可以擴充RAM之記憶容量至64K Bytes。

上面已將程式控制區中，ROM和I／O部分之解碼及選擇電路各元件之功能，作了簡單介紹。現在再來看一下程式控制區之RAM 選擇電路。請參考附圖1，由6502右上方開始看起，有74LS257(J1)，08（H1），139（F2），02（E2），及02下方之3個74LS153（E11～E13），283（E14）以及283左上方之74LS174，257，174（B5～B8）的一些IC，而APPLE Ⅱ即是利用這些IC來組成整個的RAM選擇電路。此電路之主要功能是將6502 CPU所送出的位址信號，配合各種控制信號以及時序信號，加以多工選擇，以選擇到所對應之RAM位址，然後6502即可對此位址執行讀出或寫入的動作。

程式控制區中，在ROM左邊的頭兩排RAM下方，還有兩個排電阻。在74LS153（E11）上方的這個排電阻，主要是用來提升153送給4116 的信號電壓，而另一個在161（D11）上方的排電阻，主要也是用來提升另外一組161的信號電壓。

3 影像產生電路區

請參見附圖1左下方，由一些IC組成構圖區，即一般所謂的影像產生電路。下面就來研究組成這一部分的各個IC所擔任之工作情形。

首先由影像產生電路之左上方開始來看，74LS257（A8）是一個多工器IC，其主要作用是選擇彩色或高解像度（color or HGR）的圖形顯示。在257下面的151，194，74和02（A9～H12）是組成影像選擇器／多工器，其主要作用是選擇圖形或文字（GR. or TEXT）資料來作爲影像資料輸出。另外在151右方及右上方的兩個194（B4及B9）是雙向移位暫存器，可以將圖形資料加以組合，然後再送到151的輸入端去和字形資料作多工選擇。而在151右下方的74（B10）即是將151影像選擇器所產生的影像資料（video data）送出去。

在影像產生電路中除了上面所提到的那些IC外，另外還有一些執行邏輯功能的IC，如74LS08（B11），02（B13及B14），它們主要用來將影像的水平和垂直信號加以組合，以產生影像同步（sync）信號。此外在151右下方，有一個74LS11(B12）IC，此IC由於內含四組3輸入的NAND gate，它們在影像產生電路中也分別擔任不同的工作，其主要工作可分爲兩組。一組是用來產生彩色(color）信號，另一組是作爲選擇高解像度或低解像度（high or low RES.）的圖形顯示方法。

由上面的敍述可以知道，在74LS 151右下方的74（B10）送出影像資料（video data），再和其下方的11（B12）所送出的彩色(color）信號，以及由08（B11），02（B14），51（C13）等IC加以邏輯組合所產生的同步（sync.）信號，加以組合，然後送到monitor去顯示。

4 TEXT WINDOW字形區

在影像產生電路左上方有三個 IC，即 74LS166（A3）和 ROM-7（A5）在線路圖上爲 2513 字形產生器以及鍵盤編碼信號之輸入插座。它們主要的功能是負責產生由鍵盤所輸入的字形，當你由鍵盤輸入一個字形後，首先是經由鍵盤編碼器（keyboard encoder）加以編碼，然後，經由鍵盤插座輸入其右邊的兩個 257（B6 和 B7），且將此編碼資料和 RAM 的輸出資料加以多工選擇後，才將信號送到 ROM-7 字形產生器去。而 ROM-7 字形產生器的並行資料輸出則經由 166 轉換成串聯的方式後，才再送到影像產生電路去。

5. 主基板 I／O 界面區

在附圖 1 右下方的電路，即是主機板 I／O 界面區。這個 I／O 界面區，主要含有錄音機輸入／輸出界面，遊戲控制連接器及喇叭界面。這些 I／O 在 APPLE Ⅱ上均被指定爲一些特定的位置，詳細分配情形如下表所示。

關於主機板 I／O 的選擇，主要是由此界面區左方的 74LS138（F13）來負責，且由 138 下方的 74LS259（F14）來設定一些特殊的 I／O 型式。

例如，選擇高解像度或低解像度的顯示，以及選擇反相（Inverse）或非反相（Normal）的顯示等。均是由 259（F14）來負責。在界面區的右邊有一個 741（K13）IC，它的主要作用是將錄音機輸入的類此信號轉換成數位信號，然後經由 251（H14）送到 8T28（H11）的 11 脚去。

在主機板 I／O 界面區中有一個 74（J13）IC，因爲其內部含有兩組 D 正反器，其中一組是負責將聲音信號送到喇叭去，而另一組則是將程式資料送到錄音機去儲存。此外，在主機板 I／O 界面區中，還有一個 TIMER NE558（H13）是配合遊戲控制連接器來使用。

6. 其它

在以上是有關APPLE Ⅱ PC 板上各元件所擔任的工作情況的介紹。另外，在PC 板有幾個調整旋鈕尚未提到，現在再加補充說明。請參考附圖1，在APPLE Ⅱ時脈產生電路中，有一個50PVC 的可調電容，它主要是用來作14.318MHz頻率修正（彩色粗調），另外在主機板I／O界面區的50PVC 可調電容則是用來擔任彩色微調，而在此50PVC右方的200ΩVR則是用來調整綠色monitor 之亮度。除此之外，在附圖1之右方還有8個周邊擴充界面連接器（peripheral slot 0～7），它們主要是用來連接周邊界面電路板用，這些界面電路板如printer card，disk controller card，Integer card 和language card等。

至此爲止，整個APPLE Ⅱ主PC 板上各部分元件所擔任的工作，已大致介紹完畢。相信各位連續閱讀了好幾篇的電路解析之後，對APPLE Ⅱ應該有了整體的概念了，接下來筆者想爲各位再介紹一下有關裝機注意事項，以及故障檢修對策。

裝機注意事項

P.C. board(印刷電路板）：1.最好是選用鍍錫的，因爲鉻鐵溫度不高，若選擇鍍金的印刷電路板，則可能由於溫度不夠高，鍍金板不易吃錫，而造成接觸不良。2.在未將元件裝至印刷電路板之前，最好是先在燈光下，檢查一下印刷電路板的銅箔線路，看是否有斷路或短路的情形。以避免增加將來檢修上的困難。

裝配：當印刷電路板，沒有問題後，接著就是元件的組裝和銲接。在進行組裝和銲接時，應先由高度最低的元件開始着手。其順序如①電阻② IC插座或IC③電容器④晶體，石英，電源插座……等，則可留在後面一齊銲接。另外還有一點要注意的是，在裝配和銲接時要留意IC，晶體，二極體等方向是否裝對。且要留意銲接的時候不要造成冷銲或短路。

測試

在整個線路組裝完成後，接下來就是進行測試。1.首先檢查一下，線路上之每個接點，看看是否有短路或冷銲。未插IC 前再檢查電源電壓。2.將RAM4116 八塊插入C排，EPROM2716 先插No.6 MONITOR試後有"⏶"號游標出現後再插其他五塊，6502 CPU這些IC插在 socket 上，此時必需特別小心，不要將 IC的脚給插壞了，或是沒有將 IC脚插進座孔而露在外面。且插完後應再細心檢查一次。3.在未加上電源之前，先用電表量一下各電源是否有和地線短路，若有短路時則將短路的地方查出來，而且加以排除。4.在將電源供應器連接至主機板之前，先測試一下電源（+5V，+12V−5V，−12V）是否正常。5.當電源接在主機板上之後，再將RF modulator 的輸出線接在電視機的天線座上，最後應將喇叭在APPLE Ⅱ主機適當位置用膠水黏住，並將喇叭接好。

到現在爲止，整個主機已組裝完成，接下來就是試驗一下你的APPLE Ⅱ是否能夠動作。1.當你開機時，若APPLE Ⅱ有"嗶"一聲，則代表主機板開始工作了，但這樣並不代表已經成功了，因爲還有下面的許多的事情要辦。2.開始調電視影像，把選台器轉到預備台（13ch），調整微動旋鈕，直到"APPLE Ⅱ"這幾個字在螢幕上出現，且有一個游標在螢幕上閃動，則至此爲止工作已算完成一大半了。3.把鍵盤（key board）連接至主機板上（注意應在關掉電源的狀況下再作此一項工作），然後由按鍵輸入：

```
10   GR                          按RETURN鍵
20   FOR I=0  TO 15                 〃
30   COLOR= I                       〃
40   VLIN  0，39 AT  2＊I           〃
50   NEXT  I                        〃
RUN
```

此時如果畫面上有出現16條垂直線，則代表LOW GR. 已經正確。接下來就是轉動石英晶體旁邊的粗調電容器，以調整色彩，不要轉得太快。若有色彩出來，則目前已經完成了三分之二。4.接下來就是拿一捲GAME錄音帶，按照指定的輸入方法，將其輸入。若螢幕上有遊戲出現，則表示你的APPLE Ⅱ已整個組裝完成了。

故障檢查與修理技術

上面已提到將整個APPLE Ⅱ組裝完成，且能執行程式了，但是萬一你的APPLE Ⅱ無法正常動作，則該如何解決呢？下面就來介紹一些APPLE Ⅱ常見的故障狀況以及檢修對策。在開機之前要先查驗一下power supply＋12V，＋5V，－5V是否正常（TTL標準電壓爲5V±0.5％，MOS；＋12V±0.5％，－5V±0.5％）。能否提供所須的電流量（＋5V＝2.5A，＋12V＝1.5A，－5V＝250mA）假若開機後，甚至電視沒有螢幕出現，一切皆沒有變化，此時先分離電源和APPLE主板，然後查一查電源供應電壓是否正常，再用三用電表（VOM）的歐姆電阻檔，測試APPLE板上4組電源間的電阻爲零值的，如有，則表示電源短路。假如一切正常，再接回電源再開機，並檢查那一組電源因超載而下降了正常電壓值。常見故障狀況十四種及其相應的檢修對策列表于后：

一、沒有影像出現	1. 首先檢查B10（74LS 74）之腳5是否有影像（video data）輸出信號，若有則檢查電阻R 7和電晶體Q 3是否有問題，以及R 6、R 8是否有接錯。 2. 若B10之腳5沒有輸出影像信號（video data），則檢查B10之腳2是否有輸入信號，即檢查A9（74LS 157）之腳5是否有輸出信號。若A9之腳5有輸出且B10之腳2有輸入，但B10之腳5卻沒有輸出，則問題就是出在B10。 3. 有一點要注意的是，若上面各點在測量時，均沒有輸出信號時，則問題可能是出在時脈產生電路。此時可先測量APPLE Ⅱ主時脈產生電路B2（74LS 86）的第8腳是否有14.318 MHz的輸出信號，若沒有則檢查石英振盪電路之電晶體極性是否接錯，以及所使用之元件值是否正確，或元件是否損壞。 4. 若時脈振盪電路有輸出信號，則檢查D11～D14（74LS 161）之輸出是否正常，若正常，則循線追查下去，看是否有什麼信號被短路了，或接觸不良等狀態。反之，若D11～D14之輸出不正常，則檢查輸入端之各輸入信號是否正常，若正常，則可能就是D11～D14中某個IC壞了，若D11～D14之各輸入也不正常，則可循線追查下去，即可將障礙排除。
二、影像不同步，畫面有斜線出現或畫面上下跳動	1. 首先調整電視之水平同步，及垂直同步旋鈕，看是否能同步。 2. 再檢查C13（74LS 51）之腳8是否有輸出影像同步信號，若沒有輸出，則檢查其輸入端是否有輸入信號。 3. 檢查時脈產生電路D11～D14（74LS 161）之輸入／輸出是否正常，若輸出不正常，而輸入正常，則代表IC壞了。反之，若輸入不正常，則檢查前幾級的時脈信號是否正常。

三、沒有彩色信號	1. 檢查B12（74LS11）之腳12是否有輸出彩色信號，若沒有則檢查其輸入端之信號是否正常。 2. 調整50PVC（在石英晶體右邊）；使B2（74LS86)之腳8輸出爲14.318 MHz。 3. 檢查電晶體Q6之集極(collector)是否有輸出彩色信號。 4. 調整50PVC（在game I/O連接器的左邊）此助作彩色微調。
四、在螢幕上所出現的字，並不是在鍵盤上所按的字	1. 首先檢查一下鍵盤插座（key board）是否有插好。 2. 檢查字形產生器（ROM7）是否有插好。 3. 檢查B6和B7（74LS257）是否能正常工作，若能正常工作，則檢查字形產生器（ROM7）之插座是否焊接良好，以及ROM7 IC是否好的。 4. 若上述各IC均能正常動作，但所產生之字形卻不是由鍵盤所按入的，則也有可能是鍵盤不良所致。
五、螢幕上沒有閃爍點出現	1. 首先檢查B3（TIMER 555）的腳3是否有輸出振盪信號。若沒有則檢查C15（0.1μF電容）是否一直在充放電。 2. 若C15沒有在充放電，則檢查一下電源（+5V）是否正常，或電阻R12和R13是否接錯或壞了。 3. 若C15有在充放電，而B3的腳3沒有輸出振盪信號，則TIMER 555可能已經壞了。
六、主機板線路正常工作，但沒有聲音	1. J13（74LS74）之腳5是否有輸出。 2. 電晶體Q4是否壞了或極性接錯了。 3. 27Ω電阻值是否接錯。
七、不能將錄音帶之程式輸入至電腦中（不能LOAD）	1. 在APPLE Ⅱ執行LOAD動作（由錄音帶輸入程式)時，檢查K13（741）之腳6是否有輸出信號，若沒有輸出，則檢查腳2看是否有輸入信號。 2. 若腳2有輸入信號則可能是K13壞了。 3. 檢查H14（74LS251）之腳5在APPLE Ⅱ執行LOAD動作時，是否有輸出信號。

八、螢幕上出現APPLE Ⅱ但進入監督程式（米）	1. 檢查一下ROM是否有插好，若有則看看ROM之IC插座是否有接觸不良。 2. 檢查一下ROM之接腳是否有短路的。 3. 有一點要注意的是，由於在螢幕上有APPLE Ⅱ出現，所以ROM 6應該沒問題，因此問題可能是出在ROM 1～ROM 5的某個IC插座短路或接觸不良，也有可能是ROM IC沒有插好。
九、APPLE Ⅱ不能RESET	1. 首先檢查6502 CPU之腳40在開機時是否由H變成L，然後又恢復到H。若沒有，則檢查一下A13（TIMER 555）之腳3，在開機時是否有輸出信號，若沒有，則檢查A13輸入端之C4（0.1μF）是否有充電電壓，若沒有則可能是C4壞了，但也有可能是充電電阻R26（2.2 MΩ）壞了。 2. 若A13之輸入均正常，但卻沒有輸出，則表示A13壞了。 3. 若A13之輸出正常（即在開機時，會產生一個正脈衝），則檢查電阻R14（1K）或電晶體Q5是否有問題。 4. 電晶體Q5若是正常，則在開機時，應該會由H變成L然後又回到H。 5. 若電源ON，OFF時能RESET，但是按RESET鍵時不能RESET時，故障就是出在鍵盤上，或鍵盤連接插座及連接線有問題。
十、消色	假如你的電視上出現的是彩色方塊而消不去，那首先要看一看on board I/O decoder IC F13的Pin 10，以及次一級的IC F14（74LS 259），因爲F14的ZO腳是color killer，就是在Apple display TEXT時，除去color用的，ZO腳control Q_6，而關掉由B12來的color reference，另外在前面B10，B4，B9，A9，A10等也可能有關，因爲B4，B9是在display

	graphic時用的shift register，假如B4和B9被enable的話，出現的字就會成爲圖形，而控制B4，B9的却是A8，A9，A10組成的一組SOFT ARBITER，這組arbiter經由data的status來決定是文字或圖形，而且A10，B4，B9的clock是直接由main clock 14M來的，假如你用的IC不良的話，是很容易不正常的。 檢查順序是這樣的：先看B4，B9的Pin 11，CP，再看Pin 7，DSL和15，13，Q0，Q2，假如正常就看A9（74LS151）和A_{10}（74194）這是比較容易有問題的地方。另外B_{10}（74LS74）也是一個大BUG，因爲74LS74一半工作在14M除2的線路上，另一半却是在作key board輸入的strobe上，一邊是14M，另一邊却是MONOSTABLE，因此如果您的74LS74不良，不但會使電視不正常，而且會使key bounce反應很強，而亂送雜訊（那你看到的彩色方塊可能就會向上跑了）。
十一、無牌名	如果，你一開機可能沒有預期想像的事，螢幕上可能是一串單位符號「@」和問號「？」，此時需檢查CPU的Pin 7，如果處在Low或High之間，那大都是板上焊接不良，再看一看F12 ROM decoder的8條輸出，是不是全在High，假如如此，那就再RESET看看，如果沒有變，那大半是F12，H3，H4，H8以及H7/8 CPU間的address沒有接好，通常接好了也就正常了。
十二、無彩色	沒有color的主要問題在電晶體（2N3904）Q6，和IC F14之間，因爲如果我們不用Q6的話，那就所有的字都是color的，所以沒有color時，先看Q6和color的來源，IC-B12，IC-C13是檢修的法門，通常的機器color都會有一些偏，檢查最好的方法是RUN一下Apple標準的四個color，Demo程式看一看三個blue

	在一起能不能分別，再調一下main clock trimmer 和 color trimmer，略作修正，假如仍然不行（color 很糟，看不出顏色或不清楚）那最好換一台電視看看，如果尚是不行那最好檢查一下L_1 27MH的電感，筆者曾改用進口的33μH實驗，結果效果很好。
十三、無"嗶"聲	沒有「嗶」一聲，而其他正常的問題，可以看一看IC J13（74LS74）和電晶體Q4，大部份的毛病是在Q4的h_{fe}不足和CR1 Clapping diode 不配，TAPE I/O也是由F13 on board I/O decoder 找起，假如你其他一切正常則可以在monitor mode時作一次R或W，看一看，再利用邏輯筆去檢驗。
十四、小白點	如果一開機後一切正常，但是在螢幕上有小白點或者是開機一會才有，則大部份毛病是因爲你的4116品質不良，應加以更換，而B5，B8（74LS174）不良時也會有類似毛病，如果4116中有不良品，則開機後，會立刻Hang住，因螢幕上的文字如Apple reference中的ASC Ⅱ表核對一下，就可知道那一個4116不良（*注意！4116在refresh cycle不對時，可能會燒得很燙）。

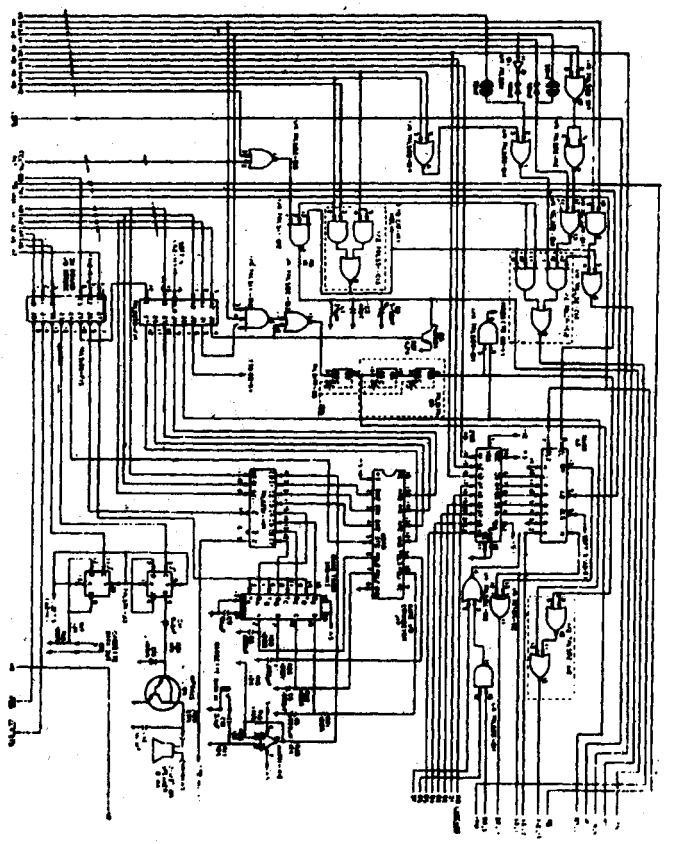


Figure Schematic Diagram of the Apple II

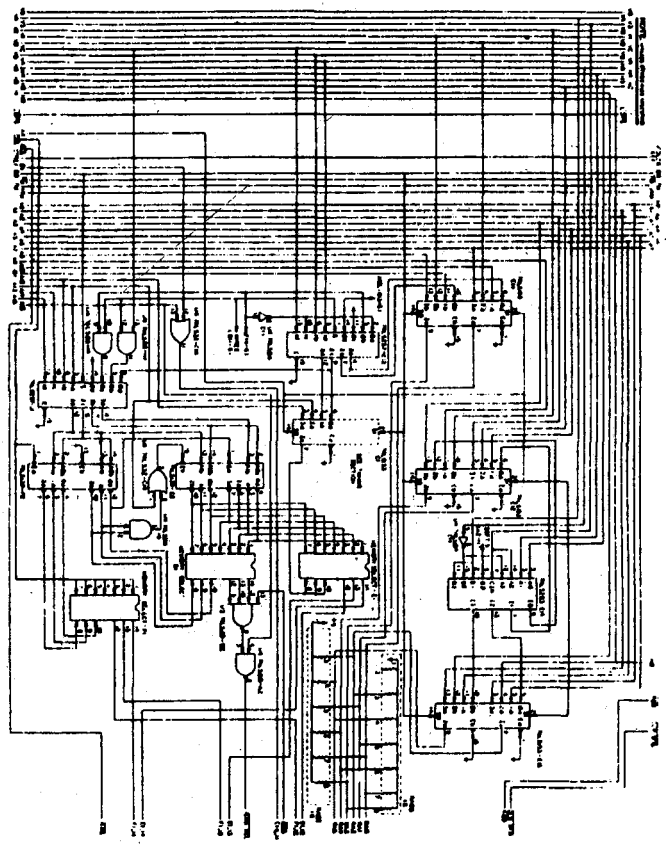


Figure : Schematic Diagram of the Apple II

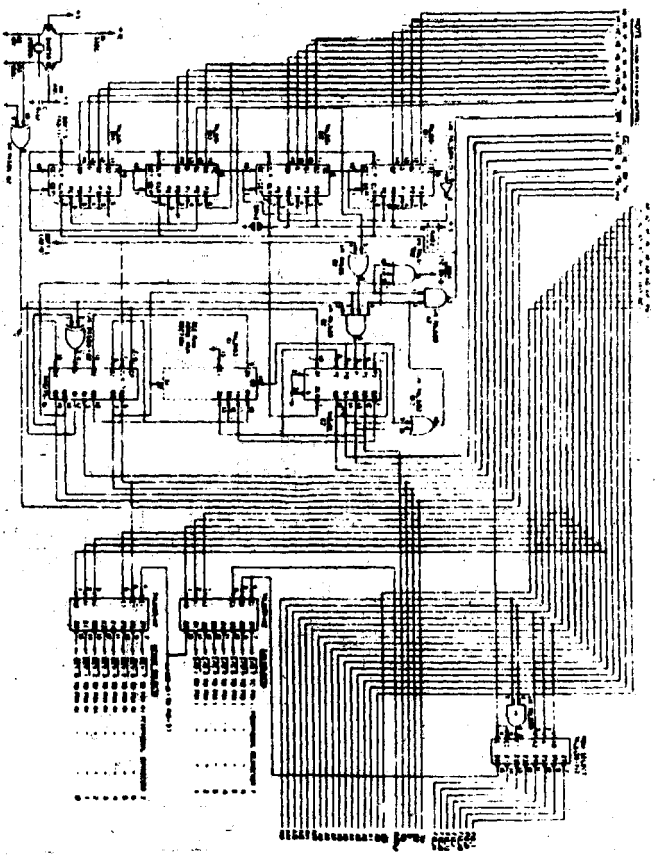


Figure Schematic Diagram of the Apple II

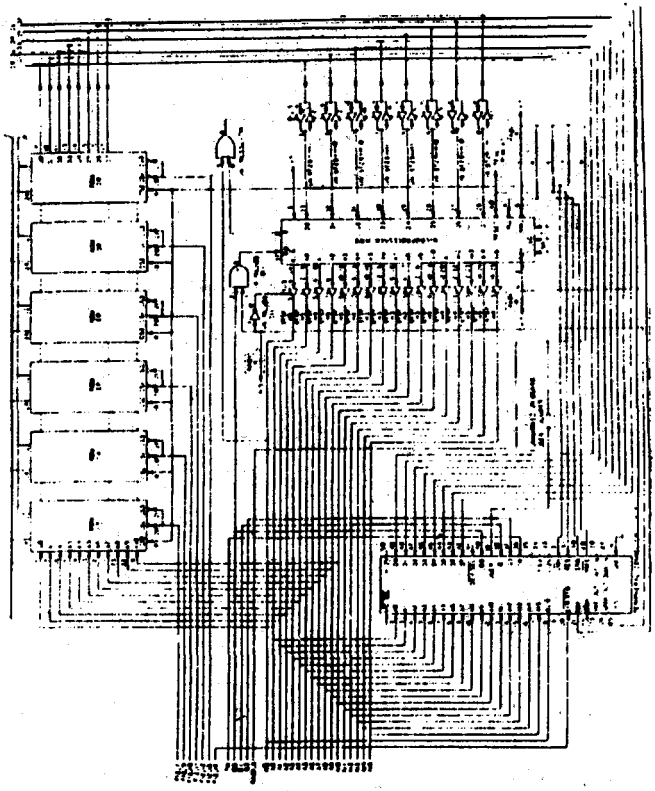


Figure Schematic Diagram of the Apple II

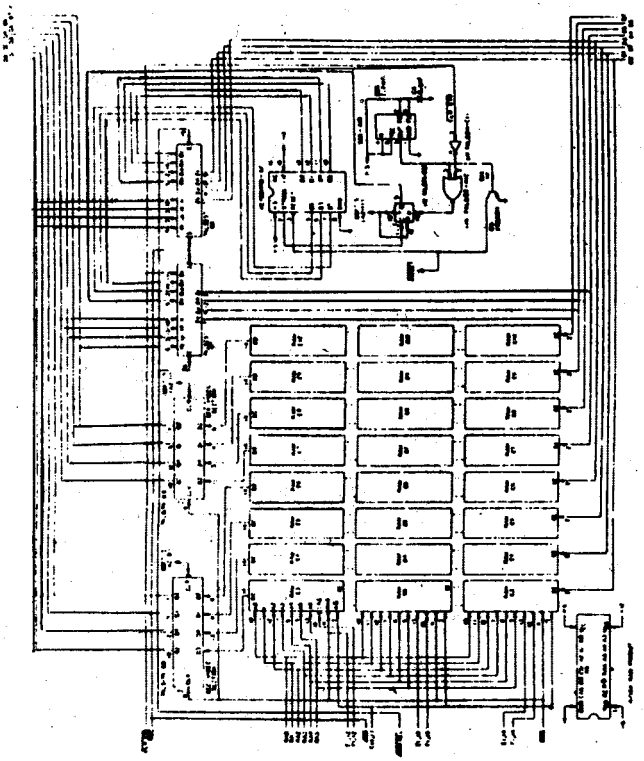


Figure Schematic Diagram of the Apple II

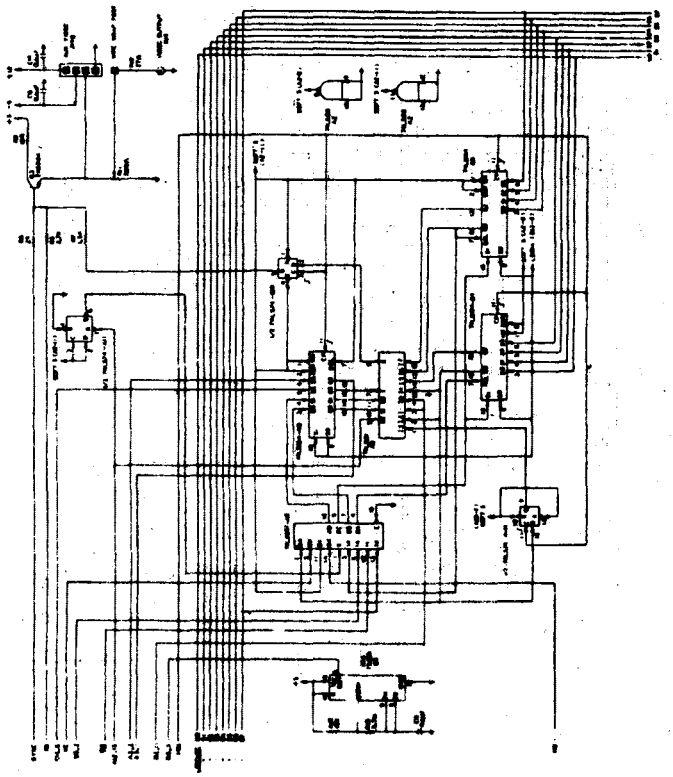


Figure Schematic Diagram of the Apple II

TRS-80微算機
系統方塊圖

TRS-80包含有約80塊積體電路能歸納入10個部份。下頁圖1所示即此等10部份並且更顯示彼此間的關係。

CPU 此系統的心臟當然爲CPU（CENTRAL PROCESSING UNIT）中央處理單位，你可以把CPU看成爲一堅吧的計數器電路。CPU接腳有16根地址線，8根資料線。CPU告訴地址排（BUS）他所需要的資料是在什麼位址。而資料排又是資訊回到CPU最好的地方嗎？地址線從CPU輸出，他們從未從其他部份接收資料及地址。而資料線是雙方向的能接收能發送資料。

ROM 如果CPU爲系統的心臟，則ROM可認爲頭腦了。因爲ROM告訴CPU去做什麼、如何去做，以及做完後應放在那裡。當電源首先加入到系統後，CPU極靈活地輸出一地址到ROM。此即爲CPU第一個指令的位置。ROM在小於一秒鐘之時間將第一指令、第二指令絡續送到CPU內實際開始與CPU交通，CPU在ROM的督導之下，完成所有的使系統活動的各種工作，而有一“READY”（準備）在螢光幕上閃爍。

如果CPU遺失掉了第一筆ROM的資料，牠可能告訴ROM牠正在準備作磁帶的載入，所以ROM告訴它如何去實行此工作。先將錄音機馬達轉動，但是因爲CPU現在又在視頻記憶體內在玩遊戲，那什麼人來管磁帶呢？CPU工作于約2兆週。因此，數位的變動看起來是很迅速的，所以不多久又可以來接管磁帶了。

記住CPU是一匹工作的馬，而ROM却是主人。ROM叫CPU如何去做，什麼時候去做，及放置到什麼地方去。

RAM 在圖1下一個重要的部份爲RAM（RANDOM ACCESS MEMORY）此種記憶體有將程式寫到裡面去，或是CPU將下次要用的資料，預先存儲等二種用途。如果你告訴計算機去數到壹萬，於是CPU儲藏你的指令到RAM。如果你告訴計算機現在去做，這時就開始計數了。

CPU告訴ROM有人來了，於是ROM告訴CPU到鍵盤去看看誰來了。CPU回來後告訴ROM是"老板"來了。ROM再告訴CPU去看他想要什麼。CPU對ROM說"老板"想叫我們走開。而ROM告訴CP跑到RAM去找出"老板"到底想做什麼。CPU說"老板"想要數到一萬。於是ROM告訴CPU如何去工作。當牠完成後，ROM告訴CPU去研究一下到底要拿這一萬幹什麼呢？CPU報告ROM，"一萬"必須要顯示，並且要儲藏起來。ROM告訴CPU如何放在螢光幕上，而告訴儲藏于RAM的一個地方。但最好能記住牠在什麼地方。CPU告訴ROM工作已經做好了。ROM告訴CPU去偵查鍵盤，當"老板"再要另有交代事情時可即刻處理。

CPU在ROM內找指令。然後CPU再跟據ROM的指令去找鍵盤，再到RAM。在各種情形之下，CPU加地址位置于ROM，RAM及鍵盤。資料線於是校核相符于此等地址位置的輸入資料。在一輸出從CPU到RAM的情形下，CPU選擇一地址。將資料送在資料線，於是指示RAM儲藏在資料線上的資料。

注意，祇有CPU能與各部份交通。如果CPU被ROM指使，去儲藏東西從ROM到RAM。CPU不能使RAM到ROM直接地接收資料。但CPU可將從ROM取資料，再送到RAM，CPU必需介于此二者之間。其理由在于CPU是既能給地址位置，又能將資料送到其他部份，惟一的部份品。

鍵盤視頻RAM及視頻處理（KEY BOARD，VIDEO RAM及VIDEO PROCESSING）

鍵盤部份其重要性雖然不能與CPU相比，但對一操作員（你）來說亦是極需要的，利用鍵盤這一方法將我們的指令送到CPU去。對視頻RAM而言是材料來了，在此種情形下，CPU想告訴我們牠需要資料，或

可能需要指示我們複雜計算的結果，所以，要更多資料的要求，以及結果搬到視頻RAM，在視頻RAM的任何東西均可以自動顯示在終端機。而視頻處理部份即處理這些工作的資料在視頻RAM內時是ASC 11碼。將ASC11碼轉換成我們能認識的文數字符號這就是視頻處理器的工作。一ROM包含全爲點圖案。而ASC11碼找出文字圖案，而視頻處理器將其送出到終端機。

視頻除法鏈（ VIDEO DVIDER CHAIN ）

混合視頻跑到視頻終端是極複雜的工作。除了視頻訊號外，更有水平及垂直同步波。此等訊號必須極度穩定，而依照正確的順序輸出。CPU本來是一向忙碌慣了。所以請視頻除法鏈管理TV方面的工作。牠產生同步訊號，而依邏輯順序定視頻RAM的地址，所以視頻RAM能有效地去處理視頻資料。注意在方塊VIDEO RAM底下一方塊名稱MUX，此爲多工器MULTIPL EXER的縮寫。多工器的作用與多刀多擲開關作用相似，當視頻除法器被控制時，MUX即擲到除法鏈去，所以祇有從除法器的地址引到視頻RAM。CPU可能需要讀寫資料到視頻RAM，如果如此，則MUX即擲到CPU去。所以CPU能控制視頻RAM的地址。當CPU完結時，則地址任務重新交給除法鏈。

記憶體映像圖MEMORY MAP

可能你曾問過此問題“那一個輸出口爲顯示呢？”答案是本機沒有用任一輸出口作顯示之用。本機屬於記憶體映像式。在記憶映像式所有其他的任一部份可用地址來定義及選擇。

圖2爲一水準（ LEVEL ）I的記憶體映像。（地圖）從記憶體位置$\phi\phi\phi\phi$到ϕFFF，是儲存水準I ROM的內容。鍵盤的地址位于3800到38FF。而視頻顯示位于3COO到3FFF，而RAM開始于4$\phi\phi\phi$，要看RAM的多少4K到4FFF，16K。

像我們以前告訴過你，在加入電源時，一地址位置從ROM 請求資訊

HEX ADDRESS	DESCRIPTION OF CONTENTS/USAGE
0000 To 0FFF	Level I ROMS
1000 To 37FF	Not used
3800 To 38FF	Keyboard
3900 To 3BFF	Not used
3C00 To 3FFF	Video Display
4000 To 41FF	RAM Used by BASIC LEVEL 1
4200 To 4FFF	Useable RAM starts here
5000 To 5FFF	RAM
6000 To 7FFF	RAM
8000 To FFFF	Not used

4K RAM

8K RAM

16K RAM

NOTE: Map not drawn to scale.

FIGURE 2.

水準工的記憶體地圖

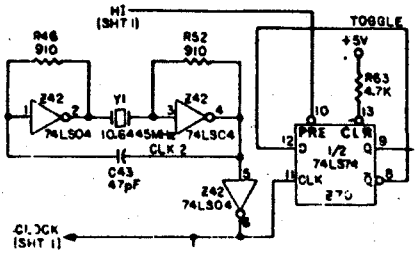
由CPU輸出。因爲ROM位于φφφφ到φFFF，CPU的輸出地址在此區域。如果CPU需要某些鍵盤的資料，牠將輸出地址38φφ到38FF，而去看有任何東西存在此“記憶體”位置，如果CPU想要告訴程式員顯示些東西時，那牠必須給一映像圖給視頻顯示部份的地址，而儲藏資料于正確位置。必須要記得，視頻祇能顯示在記憶體位址3Cφφ到3FFF範圍內的內容；請記住。

注意，記憶體位置雖然，在地址4φφφRAM開始。但是部份的RAM 4φφφ到41FF用于BASIC的爲一般管家務事的記憶體位置，因此，以用戶來說，可能存取RAM的實際開始地址恐爲4200H。（H代表十六進位）

I.工 作 原 理

系統時基（ SYSTEM CLOCK ）

系統時基是在本書之末，摺疊線路圖的第二張左上角上。Y1爲一10.6445MHZ基本割切晶體，牠是在一串聯諧振電路中，尙包括有二個反相器，Z-42（74LSO4）1-▷○-2，3-▷○-4，形成二個反相放大器（附圖），在反相器間的回輸FEEDBACK，利用－47 PF的C43電容，電阻R46及R52。不過是用在振盪器中便反相器工作于牠們直線性的地段而已。



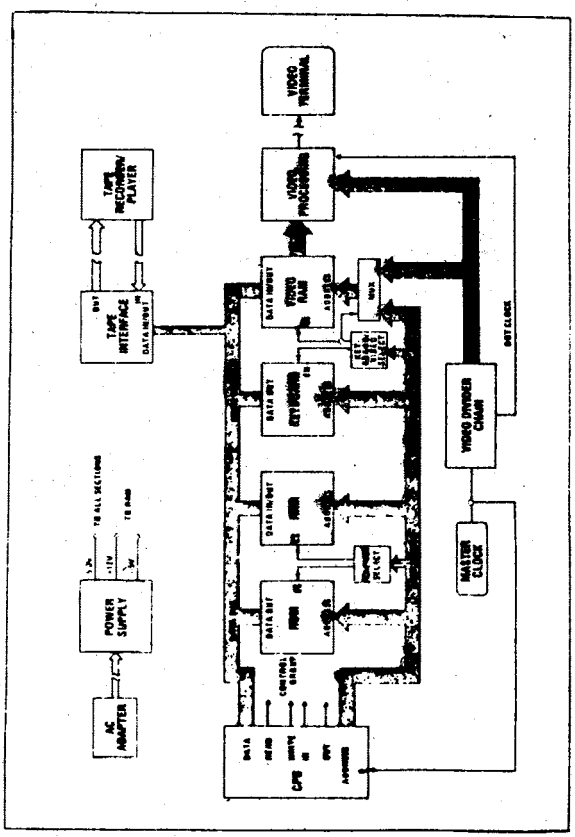
在Z-42 PIN5上的波形極似一在10.6445MHZ的正弦形波形，振盪器不應當在此點測量，因爲在此點上，由於測驗儀表負載效應（ LOADING EFFECT ）Z-42，PIN6才是振盪器緩衝器的輸出處，若欲作時基測量可在此點舉行。此緩衝器的輸出加到三個主要部份：①CPU定時（ TIMING ）電路②視頻除法鏈③視頻處理電路。

CPU定時（ TIMING ）

Z-80微處理器需要一單相時基源來工作，有10 MH訊號，從系統時基加到Z-56（74LS92）一標準漣波計數器，用作除以6的計數器，故在Z-56，第8脚上的結果訊號爲稍高于1.774MHZ，此訊號加到緩衝器Z-72（74LS367）三態緩衝器輸入PIN 12上。而輸出P 11則連接到Z-80微處理器的PIN 6（$\overline{Q}$）上，通到＋5V的R 64提昇Z-72的

PIN 11，而保證時基訊號有快速增加的上升時間。

注意 Z-72 的 PIN 15 接地。因爲 PIN 15 爲 Z-72 此部份的啓用輸入（ENABLE INPUT）端，通地後使 PIN12 及 11 保持暢通。再注意 Z-56（74LS92）的 PIN6 及 7 二脚啓用（ENABLE 計數器的清除作用。當此等脚的一或二爲 LOW時，計數器能正常地工作。當 HIGH 時輸入強制計數器工作于清除或重置的狀態。Z-42 反相器 PIN 9 及 8 在工廠內作自動試驗時，用于禁止（DISABLE）計數器 Z-56。R67 提昇 Z-42 輸入到 VCC，此使得第 8 脚停落在邏輯 LOW上。當試驗時 Z-42 的反相器輸入 PIN 9 可以拉至 LOW，造成 OUTPUT PIN 8 HIGH，此可禁用及清除 Z-56（74LS92）。注意：在老式電路板上（例如“A”BOARD）則 Z-56 的 PIN 6 及 7 均直接接到地線。



（POWER-UP-CLEAR）加電源重置及系統重置。以前在方塊圖時已討論過，電源加到CPU爲了指令存取一指令的地址在ROM上。而使得開始地址輸出的電路，剛巧在微處理器時基除法器。Z-53爲一正輸入，4個NAND閘包裝（注意Z-53繪得就像一反相輸入OR閘。）

當電源先加到此系統，C42在OV，R47接到VCC，開始以堅定速度充電C4，C4充電時，在Z-53當充電電壓超過邏輯1水準時，Z-53，PIN11輸出爲HIGH。由Z-25反相，PIN10及11，而在Z-80，PIN26上有一LOW訊號時，即在16地址線上輸出0000開始地址。

當C42超過1.4V時，Z-53（74LS132）NAND OUTPUT LOW，再經Z-52反相器使Z-80，PIN26，RESET爲HIGH。

注意CPU PIN26，RESET祇有在加上電源之頃刻數豪秒之時間內爲LOW有RESET的作用，使地址線歸零（0000），但當C42衝電超過邏輯一時，Z-80，PIN26即升到HIGH，直到電源中斷C42放電才改變。

將NAND-GATE繪成INVERTED OR足以說明作用原理在此。

左面INPUT S2亦爲--RESET開關，雖然尚有一電源延遲式電路，在此網路的輸入端，但不作此用。並聯于S2的C57爲10 MF比C42的22 UF稍小，所以在電源上升的競賽中，C57當要比C42充電較快，假設C57是充電又設Z-53 NAND閘的PIN2爲HIGH，此意爲Z-53，PIN 3爲LOW，而NAND閘Z-37輸出PIN13爲HIGH。

當CPU的PIN17 HIGH時，每人均高興，如果將開關S2按下時，C57即經此S2開關放電，結果LOW加到Z-53PIN，而PIN 3到高，Z-37輸出PIN13強迫到LOW。

CPU，PIN17（NMI）爲LOW時，能使微處理器在$\phi\phi$66地址重開始。

當S2放鬆時，R56開始對C57充電，直等到有一邏輯加到NAND閘Z-53的PIN1。在此時CPU PIN17（NMI）回到HIGH，因此CPU開始執行指令在ROM內$\phi\phi$66的地址開始工作。

S2是用于使微處理器，在迷途時，使能回到正確的途徑上工作，此

開關使CPU趨向一指定的地址，使其繼續正確循軌跡工作。

CPU迷途的例子，可能發生在不良嘗試或不良輸入。如果一錄音帶在作載入工作因爲髒物或老化，在帶上突然有損失資訊的事情發生，錄音機將不會停止。於是可以按下S2開關，此能指導CPU跑出匣式磁帶常式（ROUTINE）而回到牠的預備方式。

Z-80第18個PIN稱爲HALT，在培基水準Ⅰ時，此輸出應當始終是高的，但祇有在Z-80執行軟體HALT指令時方才爲LOW。在理論上，此指令並不包括在ROM內。但是PIN18可能發現爲LOW。若Z-80想叫牠LOW HALT，若由於某些資料故障或CPU迷途而用顯視資料以替代ROM資料。在如此情況下S2並不能有效地帶CPU返家。因爲Z-53，PIN11及PIN3亦連接Z-37（NOR）INPUT，PIN2及PIN3。Z-37輸出PIN1稱作SYSRES（SYSTEM RESET NOT）牠正常時爲HIGH，惟有當POWER UR時才LOW。（由Z-53 PIN 3造成此作用。SYSRES是用在擴展界面之用而非用在TRS 80培基水準上之用途。

有關此二電路的最後一件事，因爲迷失CPU將本機關掉電源後，當要重加電源前致少要等待10秒鐘。如果你不作等待的話，C42可能放電放盡而在從開始時使CPU不回到0000地址的事情發生。俟等待了之後，C42將要在POWER UP時放電，而系統將在正確的ROM地址上工作。

WAIT, INT AND TEST

在CPU有三個輸入需要用提昇（PULL-UP）電阻提高到VCC電壓。因爲所有Z-80的訊號均爲（ACTIVE LOW）在低電位時才工作。牠們可能並沒有任何用途，但你應知道牠們是幹什麼的。

Z-80 PIN24，WAIT等待輸入，可使CPU緩慢下來，如果要緩慢記憶體時，需要用到它來作存取（ACCESS）。如果此線爲LOW則CPU將要進入一個WAIT情況，一直等到牠回到HIGH，當HIGH時沒有作用，逕自繼續作其它的工作，例如：假設你有一記憶體系，在定址的資料能保證在輸出端出現時需要化費100μS微秒之後，邏輯將使WAIT PIN

HIGH，而CPU將要即刻將資料輸入。

Z-80第16脚INT（INTERRUPT）當LOW時，此輸入訊號強迫CPU到一個記憶器中斷請求段去，牠將要完成某些與中斷有關的指令。茲舉一例以說明此一行動。假設機器後背有一門應當始終關閉的，若有一開關接觸點呈短路的話，此開關接到Z-80 PIN 16與接地之間，如果門是開啓的話，計算機停止它所作的工作，而印在螢光幕上"CLOSE DOOR"CPU將被中斷，此即中斷的作用，直到你閉合那門爲止。從圖上您能看到PIN 16經過一電阻到Vcc並未作任何用途。但它是在TRS-80擴展界面時用。

TEST輸入訊號在作檢修工作時，可能對你是有用處的。

Z-80 PIN25稱爲BUSRQ（BUS REQUEST）當此PIN-LOW時，它將強迫資料地址及控制線到失效或飄浮態（FLOAT）STATE，雖然在正常TRS-80工作並未用到，但當某些人想關閉CPU時很有用處。當我們在下面要討論控制邏輯群，CONTROL LOGIC GROUP時，我們將要討論此輸入訊號。

CPU地址線及其緩衝器

微處理器系統輸出標明Aφ到A15開始地址排，因爲此等線路可通到ROM，RAM，KEYBOARD及視週RAM，他們應該緩衝有二種理由：

第一點，首先緩衝器應該能用固定的邏輯水準供應地址排，因爲微處理器不可能供應所需的電流，以驅動資料排到地址排上所有各部份電路，爲了電流得益是需要用緩衝器的。

第二點，牠可能需要擧離（SWITCH OFF）地址排，例如：如果有一擴展界面連接到排上來，牠可能需要在主要單位RAM的地址上作資料轉移。因此，應當用某些方法將CPU撤離資料排。緩衝器爲三態TRI-STATE裝備，此意義爲它們將來作爲緩衝器，或作爲開路開關的用途。

地址線緩衝器由Z-38，Z-39同一部份Z-22及Z-55組成。注意在Z-38及Z-39各有二個緩衝器部份。第一部份包含四個緩衝器而第二

個部份祇包含兩個緩衝器。每一部份由單一的PIN來控制，第一部份用PIN1控制，第二部份用PIN15。當此等控制線在一邏輯LOW時，緩衝器被啓用（ENABLED）會正常地工作。當控制PIN在一邏輯HIGH(1)，緩衝器爲禁用（DISABLE）而將要輸入到輸出看成一高總阻。控制地址緩衝器的控制訊號稱爲啓用（ENABLE）由Z-52 PIN4而來。此反相器另一端。控制線反相器Z-52的PIN3而接到“TEST”線路。注意R58將此線路（PULL HIGH）提昇。因此，地址緩衝器控制線將常在邏輯低態，因此，工作如一緩衝器，如果“TEST”短路到地，則地址緩衝器將要禁用（DISABLED）。此一特徵在作檢修工作時極有用途。

CPU資料線及其緩衝器

除了視頻RAM一區域外，資料排如地址排一樣地緩衝。注意此CPU祇有8根資料線，標名Dφ到D7，注意CPU能接收資料亦能發送資料，所以要用16個BUFFER。地址線嚴格的說爲CPU的輸出，而資料線是既輸入又輸出雙方向的，所以資料線需要二組緩衝器，一組處理CPU輸出資料，而另外一組關係CPU的輸入訊號。

輸出資料緩衝器包括Z-75及一部份Z-76，輸入緩衝器包括一部份Z-55及Z-76的兩邊部份，注意輸入及輸出緩衝器是“頭到脚趾”的連接法，假如此二者在同一時間ON時就會發生問題，輸出緩衝器的控制，全部連接一起到線上標名DBOUT，而因此接到Z-53，PIN16，輸入緩衝器的控制訊號接在一起到標名DBIN，而連接到Z-53，PIN8。DBOUT又接到Z-53輸入的PIN9及PIN10，以此GATE即可產生DBIN。（DATA BUS INPUT）

由圖你可以看到Z-53，PIN6是輸入或輸出資料控制的主要源頭，如果PIN6爲HIGH時，DBOUT爲HIGH，而DBIN爲LOW，因此，輸入緩衝器是啓用（ENABLED），而輸出緩衝器是禁用（DISABLED）。如果Z-53，PIN6是LOW＝DBOUT是LOW，DBIN是HIGH，在此情形下，輸出緩衝器是啓用（ENABLED），而輸入緩衝器是禁

用（DISABLED）。

若Z-53的PIN4接到TEST，如果TEST是通地，我們不單可禁用（DISABLE）地址緩衝器，再可使Z-53PIN6到HIGH。因此資料輸出緩衝器將（DISABLE）禁用，搶用在資料線上CPU的控制，由於DBIN現在在LOW，使輸入資料緩衝器成啓用（ENABLED），但是從CPU來的地址排已經禁用（DISABLED），所以不會有任何問題產生。當"TEST"分開時是保持HICH，如果Z-80的21PIN（記憶器RD讀輸出）爲HIGH時，Z-53，PIN6將要變低，此處LOW使DBOUT爲LOW，DBIN爲HIGH。因此CPU作輸出資料，而緩衝器均依此原則作選擇，當Z-80 PIN21 RD到LOW時，Z-53，PIN6成HIGH。現在我們可以差不多得到同樣的條件，好像TEST成LOW，DBOUT成HIGH，DBOUT成LOW，但地址緩衝器仍舊啓用（ENABLED）資料緩衝器現在準備CPU去接收資料。

CPU（CONTRQL GROUP）控制群（$\overline{RD}$，$\overline{WR}$，$\overline{IN}$ & $\overline{OUT}$）

現在我們知道CPU存取地址排。我們又知道資料排于收集資料到CPU或傳送CPU的資料出來，在這一點我們不知道的是CPU如何儲藏資料到記憶器去或CPU如何去告訴ROM或RAM它已預備作接收資料的準備。此需CPU控制群完成此任務（TASK）此等訊號包括四種$\overline{RD}$，$\overline{WR}$，$\overline{OUT}$及$\overline{IN}$。

I $\overline{RD}$（READ） $\overline{RD}$爲READ CONTROL當此訊號作用時，將要告訴另一部份CPU已準備接收資料，$\overline{RD}$在Z-23（74LS32）PIN6，產生Z-23PIN3連到Z-80 PIN21（$\overline{RD}$ OUTPUT），Z-23的PIN4連接到Z-80 PIN19，$\overline{MREQ}$（MEMORY REQUEST）。因此當Z-80的PIN 19及21同時成LOW時，一個$\overline{RD}$輸出才產生，注意OR閘門的繪成似一AND閘一輸入因爲INVERTED NAND＝OR。輸入之一爲MREQ，另一爲$\overline{RD}$，惟一爲輸出爲$\overline{RD}$，我們在找尋輸入二個LOW而得一LOW的輸出。

A	B	OR
0	0	0
0	1	1
1	0	1
1	1	1

Ⅱ. $\overline{WR}$（WRITE） $\overline{WR}$爲WRITE CONTROL，當此訊號作用時，能告訴CPU其他部份，CPU現在正在寫資料到某一記憶器位置，$\overline{WR}$是在Z-23，PIN 11發出，而Z-23 PIN 12接到$\overline{MREQ}$，Z-23的PIN 13連到（MEMORY WRITE）爲Z-80 PIN 22，當我們在$\overline{MREQ}$及$\overline{WR}$輸出上，同樣得到LOW時，亦惟如此我們可得$\overline{WR}$ LOW

A	B	OR
0	0	0

Ⅲ. $\overline{OUT}$（輸出） $\overline{OUT}$爲輸出控制，當此訊號作用時，可啓用電路以完成匣式錄音帶儲藏（STORE）的作用。又可用此OUT以控制資料自TRS-80移動到擴展界面的用途。$\overline{OUT}$是生產在Z-23 PIN 3。Z-23 PIN 1是聚到Z-80 PIN 22 WR OUTPUT上。Z-23 PIN 2連到IORQ（INPUT/OUTPUT REQUEST）此爲Z-80 PIN 20，當我們在$\overline{WR}$及$\overline{IORQ}$二處均獲得LOW時，我們才可在OUT處得一LOW。

Ⅲ. $\overline{IN}$（輸入） $\overline{IN}$爲輸入控制，此訊號工作時，將啓用電路以完成匣式錄音帶載入（LOAD）的作用，此輸入亦能用作控制資料從擴展界面移動到TRS-80。$\overline{IN}$訊號是產生在Z-23 PIN 8上。Z-23的PIN 10連接到$\overline{IORQ}$，而Z-23 PIN 9連接到$\overline{RD}$，當我們在$\overline{RD}$及$\overline{IORQ}$二處均

得LOW時，則我們在 $\overline{IN}$ 上得到一 LOW

$$\left.\begin{matrix}\overline{IORQ}=0\\ \overline{WR}=0\end{matrix}\right\}\overline{OUT}=0 \qquad \left.\begin{matrix}\overline{IORQ}=0\\ \overline{RD}=0\end{matrix}\right\}\overline{IN}=0$$

控制群排 控制群應當緩衝而用於不同的部份，並且（BUS）排有時需要在某些時間擲開。因此部份的Z-22用于緩衝控制群，在PIN 1的三態控制，接到地址排控制而啓用（ENABLE）將影響地址的情況及對控制群排亦有相同的情形。TRS-80記憶共有四大部份：Ⅰ.爲ROM, Ⅱ.爲系統RAM, Ⅲ.爲鏈盤RAM, Ⅲ.爲視頻（顯示）。CPU究竟要選擇那一種（因爲同一時間祇能用一種）就要用地址解碼器來解決了。

地址解碼器（ADORESS DECODER） 請看第二圖，TRS-80爲記憶體映象式，因此，地址 ϕ IAC（16進位）是在映象的ROM部份，地址 38ϕA是在鏈盤區，而3CAA却存取視頻顯示RAM，因爲地址及資料排連接均爲並聯連接到各部份，應當有一種方法以決定現在存取的當爲那一部份。一解碼網路，監督較高位地址SITS，而作選擇那一種CPU想要應用的記憶體。

	A15	A14	A13	A12	A11	A10	A9	A8	
From: Hex 0000	0	0	0	0	0	0	0	0	Level I ROMs
To: Hex 0FFF	0	0	0	0	1	1	1	1	
From: Hex 3800	0	0	1	1	1	0	0	0	Keyboard
To: Hex 38FF	0	0	1	1	1	0	0	0	
From: Hex 3C00	0	0	1	1	1	1	0	0	Display RAMS
To: Hex 3FFF	0	0	1	1	1	1	1	1	
From: Hex 4000	0	1	0	0	0	0	0	0	4K RAM
To: Hex 4FFF	0	1	0	0	1	1	1	1	
From: Hex 4000	0	1	0	0	0	0	0	0	16K RAM
To: Hex 7FFF	0	1	1	1	1	1	1	1	

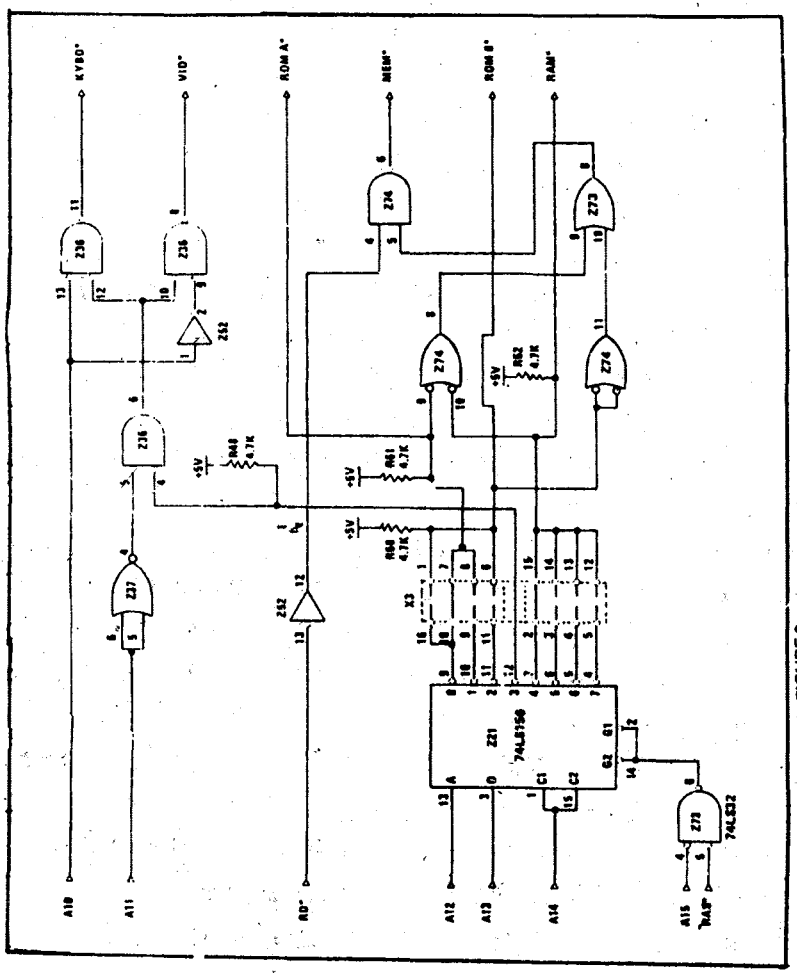


FIGURE 3. 地址解码器

地址解碼器對於下一頁的重繪第三圖的系統工作是如此地重要。使得你有方便的線路圖，因爲在3圖內有許多訊號需要指示來源及跡尋。

地址解碼器用6 BIT自A10到A15，需要加入RD及RAS（ROW ADDRESS SELECT）A15爲地址排的最高BIT，讓我們連結6個高位BIT並且再附加一點隨後的地址線A9，A8，所以我們組成二個16進位數位，A12，A13，A14，A15組成高位16進文字A8，A9，A10，A11組成低位16進文字，A8，A9是新加入的，現在讓我們解析部份的記憶器圖，使成16進位及二進位（請看上圖）。

注意在此解析，我們可以用二個最高數位十六進碼，在解碼線路及處理選擇所有的記憶體，在二進位段你能看到用二個十六進位數位，需8個二進位數，我們能不管後面二個BIT而祇用6根進線，有一虛線在A10與A9之間以分割A9，A8。祇用到A10到A15。

現在看第3圖，你將看到A12，A13及A14連接到Z-21，（一個雙2輸入到4線解碼器／解多工器）（OPEN COLLECTOR DECODER開路集極解碼器）A14接C1及C2輸入連接的方法使Z-21變成3輸入到8線解碼器，G1及G2輸入到Z-21爲CHIP ENABLE請看圖，當此等輸入在一邏輯0時，Z-21有作用（ACTIVE），當邏輯1時，Z-21是禁用，牠的八個輸出沒有一個爲LOW，G啓用以OR閘Z-73 PIN4、5、6來控制，PIN4連接地址線最高數位A15。

注意，在記憶器映象解析（BREAK DOWN）時，當定址各式計憶器時，A15始終是LOW，Z-73，PIN5連到RAS（ROW ADDRESS SELECT）回到了大型線路圖第一頁而看到Z-80 PIN19 $\overline{\text{MREQ}}$，早先講過當CPU需要輸出記憶器資料時，則$\overline{\text{MREQ}}$才成LOW，在CPU 19腳連到Z-72 PIN4，此緩衝器來源RAS是與$\overline{\text{MREQ}}$信號相同。

回到圖3，當A15及RAS同時爲LOW時，則Z-73 PIN6將有一LOW輸出，此LOW將啓用Z-21，當Z-21工作時，牠的衆輸出之一將要成邏輯0時，PIN9將要成LOW，如果所有三根輸入線均爲HIGH，PIN4將要成爲LOW，可能你認定A12，A13，A14供給一八進位的地

址到Z-21，因爲八進位碼000至111八個情況，於是應用八線之一的選擇法（輸出0到輸出7）。

我們能迅速地、簡單地總結Z-21的作用。牠能將16進位地址的最高數位解碼，利用Z-21及最後二個BIT（A11及A10），我們能定義水準I存在于CPU任何四者之一"記憶體"。①ROM，②KEYBOARD，③DISPLAY，④SYSTEM RAMS。

地址解碼器程式法：進接到Z-21的輸出爲X3，X3稱爲"DIP並聯"，置于電路板Z3的位置，一個DIP並聯像一短路條陣列，有的條可能斷裂。通常斷裂某些條而讓有些爲完整的，地址解碼器是程式規劃于能反映CPU現在所用的RAM或ROM的總量，在圖3內，X3連同6根斷裂的短路條，我們將應用此形式來討論。

ROM解碼法

當CPU需要如何來完成某一任務的指令時，它必須存取ROM，ROM解碼由以下方式完成：CPU需要一記憶器，所以RAS將LOW，ROM以ϕ作爲開始地址。所以A15，A14，A13，A12到LOW，Z-21起作用（ACTIVE）由於A15及RAS均爲LOW，Z-21 PIN9成爲LOW，在PIN9後短路條在X3 PIN10及PIN7經過提昇電阻R61而外至ROM A（見圖）（2716），如果你在大線路圖找到ROM A，你將要看它跑到ROM A，（Z1-33，PIN20）此PIN爲$\overline{CS}$（CHIP SELECT）且有（ACTIVE LOW）作用（PIN20上有一INVERTING CYCLE）。Z-33工作時，此意爲它的OUTPUT能起作用，（注意：ROM的輸出是三態的，好像緩衝器，當CS成LOW時，則ROM的輸出將自一高總阻OFF態到一ON態。當ON時，輸出將成LOW或HIGH，要依照ROM指出的地址內容的資料來決定）。

我們得到加于ROM A的地址，並且我們測得ROM A變成LOW，所以ROM A是加上電了，但是現在我們需要保證一資料途程是開路了。所以我們可以將資料從ROM送到CPU，注意圖3內的ROM A亦連接于

NAND閘Z-74的PIN9。在PIN9上有一LOW將造成Z-74 OUTPUT PIN8上得到一HIGH，OUTPUT PIN8連到Z-73，PIN9，Z-73 OUTPUT PIN8經過一HIGH到Z-74，PIN5，Z-74 PIN4接到$\overline{RD}$，爲部份的CPU控制群。因爲CPU想當式從ROM讀ROM，$\overline{RD}$將要LOW，Z-74的PIN4將要變成HIGH，因爲$\overline{RD}$是由Z-52 PIN13及12所反相而成。

我們知道Z-74 PIN4及5爲HIGH，所以使得PIN6 LOW，（MEM MEMORY）如果你在大線路圖上看到MEM，你可以注意到它能控制ROM/RAM緩衝器的輸出接到資料排。我們現在在資料排上得到ROM資料。它有方法送到CPU去嗎？是，它能。注意$\overline{RD}$爲LOW，因此CPU是一記憶體讀的週期。因此，**DBIN爲LOW，DBOUT爲HIGH**，因DBIN的LOW啓用CPU輸入資料緩衝器，又ROM資料爲CPU而儲存。

鍵盤解碼（KEYBOARD DECODING） 鍵盤位置從地址3800到38FF，因爲KEYBOARD爲記憶體，所以RAS成LOW，A15爲LOW，（7FFF）爲最大值。

看看我們鍵盤二進位位置高位數組位置00111000(38)。我們可以看到A14 LOW，A13及A12 HIGH，由此輸入組合，Z-21起作用而PIN12將爲LOW，（輸出了）PIN12接到Z-36，PIN4，依照解析，A11爲HIGH，Z-37，PIN4，輸出一個LOW對Z-36 PIN5，"不正確畫出"OR閘告訴我們，我們仍需要輸入LOW，爲一LOW輸出，我們得到了，所以Z-36的PIN6亦爲LOW，Z-36 PIN6接到Z-36的PIN12及10，校核A10的情況，我們因爲Z-36，PIN12即可以看到寫出爲LOW，當鍵盤地址作輸出時。13均爲LOW，吾人將在PIN11得到一LOW，KYBD是產生在此PIN上。

當在大線路圖上找到KYBD時，你將看到它跑到爲鍵盤資料緩衝器的啓用輸入處，較低位地址線接到鍵盤矩陣的左邊，而矩陣的下邊穿過緩

衝器連到資料排，如果按下一鍵後一地址線將短路到資料線，假設現在此電路工作，我們將在以後對鍵盤再作分析，DBOUT及DBIN訊號，將開關進開關出，好像我們有一ROM選擇一樣，因此，鍵盤資料將送到CPU的資料排供處理之用。

視頻顯示RAM選擇 VIDEO DISPLAY

爲記憶體映象作二進位解析時，你們注意到視頻RAM地址外的二進位，差不多與鍵盤一樣，除了A 10，Z-21，PIN 12將輸出一LOW到Z-36，PIN 4。因爲A 11仍舊爲HIGH，（Z-37 INPUT 74LS02，Z-37，輸出PIN將要供給一LOW到Z-36 OR（74LS32）輸入，PIN 5，因此，Z-36輸出PIN6爲LOW。好像選到了一鍵盤。因爲A 10現在是HIGH。Z-36輸出PIN 11爲HIGH，且KYBD訊號並不工作。但是Z-36，PIN 10爲LOW，並且在PIN 9，由於Z-25，PIN 1及2反相器的效果亦爲LOW。因此Z-36輸出PIN 8亦呈LOW。同時我們已經使用VID工作。（視頻RAM選擇VIDEO縮寫），假設現在VID眞的選擇視頻RAM，我們將要討論它將做什麼？並且如何來做。

A	B	OR
0	0	0

4K RAM 解碼器 好像在記憶體映像表用以選擇RAM的地址自4000H伸展到4FFF共4K。

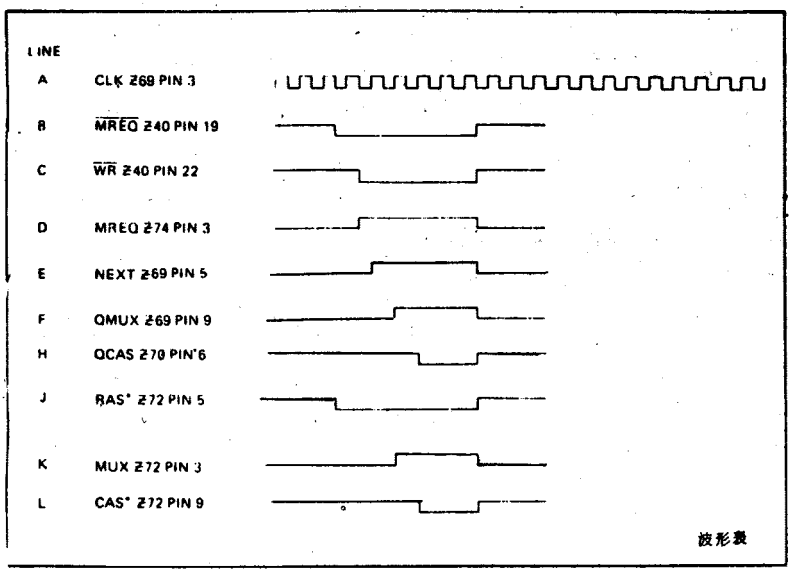
0000 ┐
00FF ┘共256 BYTE　　0000 ┐
03FF ┘共1K BYTE

在二進位解析單內A 15爲0，A 14爲1，A 13，A 12均爲0，0100_2 = 4，4000的4。我們仍舊在存取記憶器，當RAS（ROW ADDRESS SELECT）爲低時，因爲Z-21（74LS 156）將要工作，而在PIN 7輸出4，將要變成LOW，附圖見下頁。DIP並聯X3通過此LOW，穿過PIN 2及PIN 15，而加到Z-74（74LS00）PIN 10。它亦被解碼器部份如RAM所輸出，它在第二圖，在它穿過DIP並聯X72後，RAM

將選擇所有RAM的脚。

選擇RAM的資料排的方法類似于ROM處理讀的運算。（MEM）因爲RD的變LOW亦成LOW，但在CPU資料自CPU傾倒到RAM，MEM並不爲RAM選擇資料排緩器，在RD作工時，WR爲LOW，我們並不需要ROM/RAM緩衝器，因爲RAM資料輸入是在緩衝器輸出邊。祇有在ROM/RAM作讀的工作時，我們才需要MEM。

附圖注意在X3處，我們可以將系統程式歸劃RAM 8K可使得短路條連接PIN 3及PIN 4，及PIN 2及PIN 15位置，不單一4000地址使



RAM工作並一5000地址亦可啓用RAM，如果我們有RAM12K，我們將使PIN 4及PIN 13短路，若爲16K我們將短路所講過的所有PIN。再加上PIN 5及PIN 12間短路，RAM現在從4000工作到7FFF。

4000 − 4FFF
5000 − 5FFF
6000 − 6FFF
7000 − 7FFF
共4K × 4 = 16K BYTE

從我們的RAM討論，我們可短路Z-21某些輸出在一起，在大部份用途用TTL短路輸出接點方法，可說是一種不良的設計實例，但有某些"開集極"式TTL裝置。此等式樣的GATE，在輸出處並沒有作用（用二半導體作成的）提昇電阻。因此輸出電晶體如屬"開集極"（OPEN COLLECTOR），祇需要再用外界電路以提昇所需之電壓，"此"開集極"輸出連接成一"線接OR"（WIRED OR）作用。

因爲Z-21（74 LS 156）爲一開路集解碼器，輸出可以安全地接在一起。注意電阻R48，R61，R62飞R68，此等均爲Z-21的拉昇電阻。（PULL-UP RESISTOR）。

對某些開集極輸出，尚有某些重要點需記憶。首先，你不能說這許多輸出之一能工作。除非在那輸出上接一提昇電阻。例如：假如你置一示波器探針在Z-21 PIN 10上。請看圖3，你不能知道PIN 10是否爲LOW。假如此系統工作正常，這應該不會的，但如果此不能工作正常時，而使PIN 10爲LOW，你如何能證明它呢？答：用一提昇電阻接到＋5 V，這是我們可以證實的唯一方法。

系統RAM 依照方塊圖，系統RAM是與資料排及地址並接，好像ROM及鍵盤一樣。RAM的資料輸出輸入是清楚得很的，MEM控制緩衝器，但從定址計劃看來全部死板地固定住了。一CPU如何祇用7個地址輸入能將最小量4KRAM定址呢？對此有一極好的答案爲"MULTIPLEXING"用"多工制"法。從CPU的地址，多工器送到RAM至二個7 BIT部份品內，RAM的內部邏輯將二部份合併在一起，來創造一地址，用14個BIT設計而成。

定址法的一部份稱爲RAS（ROW ADDRESS SELECT），另一部份爲CAS（COLUMN ADDRESS SELECT），另一個訊號爲MUX

（MULTIPLEXER）控制開關的作用，所以此三者訊號均在大線路圖靠近CPU右下方處所產生。

MUX CAS及RAS 在第一圖可看到在CPU，Z-80，PIN21（$\overline{RD}$）及PIN22（$\overline{WR}$）沿著二根垂直線而下到NAND閘Z-74，如果在$\overline{WR}$（WRITE）得到一LOW，而又在$\overline{RD}$（READ）亦得到一LOW，則Z-74，PIN3將可輸出一HIGH，稱爲$\overline{MREQ}$（MEMORY REQUEST）$\overline{MREQ}$接到清除Z-69的輸入D及Z-70的部份，此等裝置均爲D式正反器，能產生MUX及CAS訊號。

第四圖 爲此線路的波形圖表，LINE A爲輸入到正反器的主時基。LINE B爲$\overline{MREQ}$與$\overline{Q}$而LINE C從CPU檢出$\overline{WR}$輸出訊號。假說CPU需要

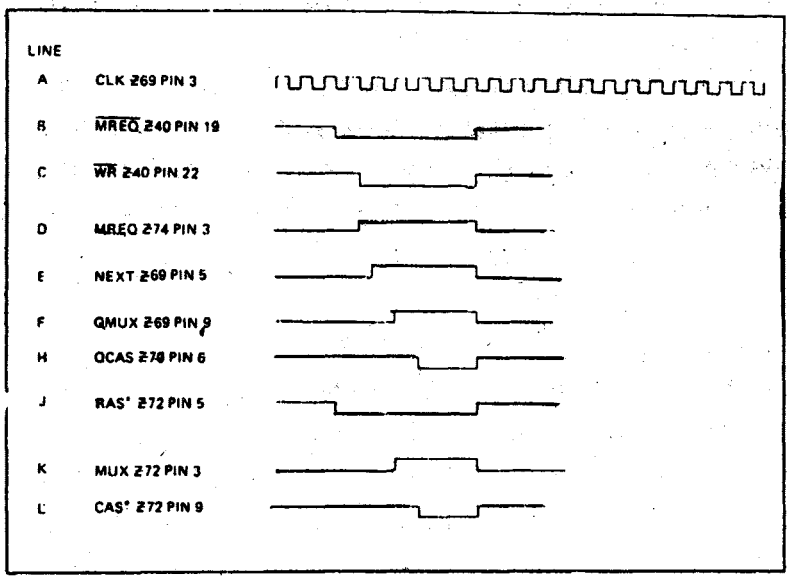
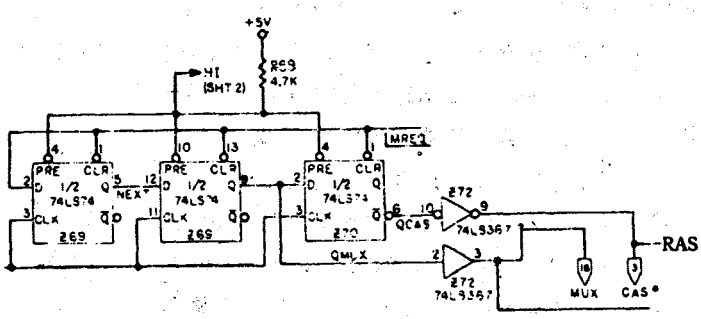


FIGURE 4. 波形圖表

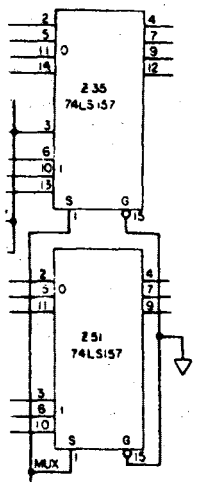
寫資料到RAM則在LINE B上，$\overline{MREQ}$將變LOW短時間後WR亦變LOW，在LINE D示出Z-74輸出PIN 3，在$\overline{WR}$ LOW時變成HIGH。正反器現在有一邏輯1，加到清除輸入上。正反器由時基波形所控制，能自由去工作，在時基的上升邊緣時，Z-69，PIN 5(Q)將輸出一邏輯水準是在PIN 2上的水準。在此瞬間PIN 3變HIGH，因爲當PIN 3爲HIGH時，



輸入PIN 2爲HIGH，所以輸出PIN 5亦爲HIGH，（NEXT）在LINE E上爲HIGH Z-69，PIN 12現在亦高（第二正反器的輸入）所以在下一個時基上升邊緣輸出（Q）PIN 9將HIGH。此QMUX可以在LINE F看到。Z-70可備作TOGGLE開關用。在下一個時基上升邊緣，Z-70，PIN 6（$\overline{Q}$）將變LOW，（Q成HIGH，$\overline{Q}$成LOW）。此QCAS可以在LINE H看到。當$\overline{WR}$趨LOW時，全部三個正反器的狀態都將改變。當$\overline{WR}$保持LOW時，正反器均將保留此狀態有多久。當$\overline{WR}$ HIGH時，正反器將有一LOW加到他們的清除輸入上，牠們將要重置回清除情況。LINE J爲RAS輸出，請看LINE B就知爲MREQ的直接作用。Z-72，PIN 4及5，爲RAS的緩衝器。LINEK，MUX源自Z-69，PIN 9經遲緩衝器Z-72，PIN 2及3，LINE L，CAS由Z-72緩衝PIN 10及9，爲一QCAS的作用，在Z-70，PIN 6(Q)處出來，請注意以下的一串事實，RAS先LOW，然後MUX改變狀態，然後CAS在一時基週後改變狀態。

首先①我們得到RAS②隨後MUX，然後③我們得到CAS，因此，我們給RAM Ⅰ第一部份的地址爲ROW列地址。Ⅱ跟著FLIP開關作多工器MMUX作用，Ⅲ然後跟著爲CAS（COLUMN）行地址。

RAM定址 在大線路圖第一張的中部，在RAM陣列的左邊，多工器Z-35（附圖）及Z-35（74LS157）在Z-35的左邊，我們找到上面四根地址線成一束稱爲（O），而下面四根亦呈一束，另稱爲(1)。Z-51的構成亦類同，但每束祇三根線。是（ϕ）告訴我們當選擇脚爲LOW時，則多工器連接到相關的輸出線上而將O束處此等輸入線的資料輸出。當多工器上選擇PIN爲HIGH時，則要將(I)處的輸入地址線，連接到相關的輸出線上將資料輸出。要注意此二個多工器上選擇輸入均爲PIN 1（SELECT INPUT）因此Z-35工作有些像4刀二擲開關，而Z-51如一三刀二擲開關，（有一個刀沒有用到）此到多工器的啓用輸入（ENABLE INPUT）爲PIN15，在二個以上均已通地所以開關是老是被啓用著。



從RAM讀出 假設CPU需要RAM資料，讓我們跟隨RAM定址及資料途徑，我們光要用4K RAM，來舉例。

CPU輸出－MREQ及－RO、地址解碼器輸出MEM及RAM。

MEM拉動RAM/ROM資料緩衝器而RAM啓用RAM的CS（CHIP SELECT），同一時間多工器將載入地址到RAM，RAS變成LOW，而MUX訊號在此時爲LOW，所以Aϕ至A5在RAM上接收低階地址。注意RAS由Z-68 PIN14，13緩衝，而加到所有RAM的PIN4上，在PIN4上的負向進行訊號，將較低位地址載入每一RAM列段（ROW SECTION）在較短時間後，MUX變換狀態，變HIGH，而多工器Z-35及Z-51現在開關作用，而高階地址被加到RAM，CAS現在變LOW，CAS加

到緩衝器Z-67，PIN 14。Z-67，PIN 13傳達CAS到所有8個RAM的PIN 15上。

由CAS的作用轉換上高位地址，（A6至A11）將要載入到每一RAM的行段（COLUMN SECTION）RAM現在有從CPU得到全部地址。RAM現在將輸出資料穿過緩衝器送到CPU。

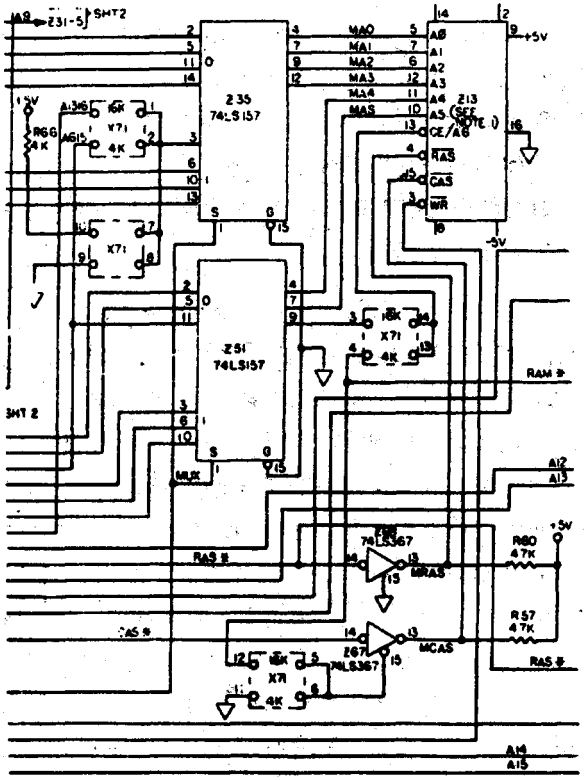
寫到RAM 寫的工作及讀的工作的不同是因爲二個不同的訊號，地址解碼器及地址多工器是同一方法工作的，在一資料寫的工作，CPU送資料到RAM，因此時ROM/RAM緩衝器並不需要。因CPU不產生一RD命令但供給一WR指令，WR連到所有8個RAM在第3脚上，當此第3脚爲LOW時，資料將要儲藏到RAM的特指地址。當此第3脚爲HIGH時，則RAM在讀的週期。

翻新（REFRESH）RAM TRS-80用動態的RAM，一動態RAM在資料保留上稍微與靜態RAM不一樣。一靜態RAM將保留資料貯藏，當電源在時始終保持着，但一動態RAM應週期地定址以保證保持載入到內的資料。此週期定址稱爲“翻新”，你能夠以一動態RAM與一充氣的慢漏輪胎相比每一會兒要打一點氣以免輪胎變方（FLAT），如果我們不對輪胎打氣牠將最後變成不能用。而動態RAM亦爲如此這般。如果此系統不時常存取RAM牠們或將“忘記”資料。

TRS-80內所用的動態RAM爲“RAS ONLY”式的翻新。換句話說，當RAS或LOW時，系統內的RAM將“翻新他們自己”甚致RAM在不應用的時間亦如此。像以前所講的，RAS是在CPU第19脚（MREQ）上，經緩衝器Z-72而產生的，當MREQ到LOW，RAS亦LOW，則RAM將載入低值地址到列段（ROW SECTION）CPU可能當MREQ到LOW時，觀看系統ROM，但RAM將仍舊接收RAS而因此“REFRESH”翻新了。通常，我們不會太關心RAM這方面的事，但是你需要注意靜態RAM與動態RAM二者的不同點。記牢，動態RAM必須週期地定址以啓用牠使其保存資料。在TRS-80，RAM是每二個毫秒翻新一

次。

RAM程式規劃 你可能注意到在討論RAM時所講到的X71。（附圖）X71爲一DIP並聯。DIP＝DUAL INLINE PACKAGE（同樣二排

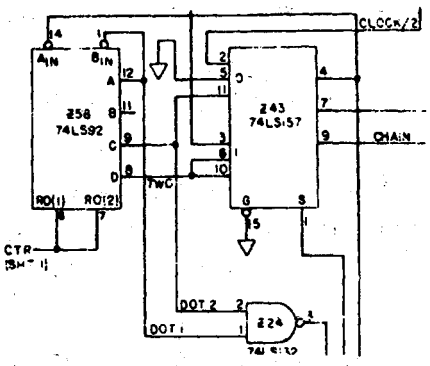


接腳封裝）牠是用于程式規劃一系統的記憶器的大小式樣之用。找尋在

RAM上的PIN 13，跟隨PIN 13後，你將可看到連接到DIP並聯X 71的二個脚上。RAM的PIN 13爲一CE（CHIP ENABLE）或A 6地址輸入，在一4K系統時，X 71的PIN 4及PIN 13是並聯的（短路的）RAM是PIN 4，所以RAM是用于選擇RAM的。但在一16K系統，PIN 4及13爲開路，而Z-71 PIN 3及PIN 4爲短路，現在不是RAM，我們將得到地址線A 6到A 12，依靠多工器情況來決定，跑到RAM的PIN 13，X 71的另一部份在工器Z-35及Z-51的左邊。在檢查一系統之前，你當需要知道系統所用RAM的大小式樣，如果X 71程式規劃錯誤的話，你將可自己找到RAM的問題。

VIDEO DIVIDER CHAIN視頻除法鏈 視頻除法鏈，供給視頻RAM，一邏輯順序的地址作視頻處理用途。此鏈亦供給水平垂直同步定時脈衝之用，所以視頻處理器，能建造顯示用的混合波形。視頻RAM地址，水平垂直同步及視頻處理定時均爲主時基的直接作用。除法鏈內將必需要產生每行（COLUMN）32文字（CHARACTER）的硬體亦包括在內。雖然水準Ⅰ不能存取32文字的格式，但水準Ⅱ可以。

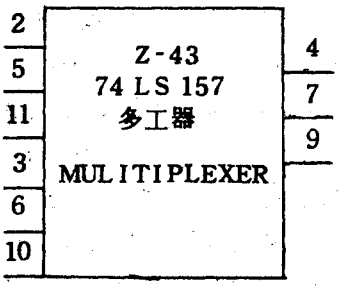
除法鏈輸入情況 如果TRS-80不能改變文字線格式，除法鏈可能直接接到主時基上。但是TRS-80確有爲文字長途分二種格式：在一最熟悉的格式，顯示有16文字線，每一文字線包括64文字，此意義爲1024文字位置在視週RAM內。此除法鏈必需存取。在另一格式，文字顯得二倍的大，由顯示可看出16文字線，每線有32個文字，除法鏈應祇存取512視頻RAM位置，從事一個格式轉換到另一格式是輸入情況邏輯的工作。



在大線路圖的第2張主振盪線路由（Z-70）（74 LS 74）D式正反器的下邊爲被12除的計數器（Z-58）（74LS92）及一多工器（Z-43）（74 LS 157）D正反器連接成完成除2的工作。而多工器是連接成ROUTE主時基頻率，或時頻除2，從正反器到被12除的計數器，因爲有二種文字長度格式，應當邏輯地有二個參考頻率，一個爲另一個的一半。主振盪器供給被12除的計數器，有一參考頻率在一64文字的格式。D式正反器供給計數器用的參考頻率在32文字的格式多工器作選擇用，但是用什麼來控制牠呢？Z-43的PIN1有一訊號稱爲MODESEL（SEL＝SELECT）當LOW時，MODESEL強迫Z-43去開關到牠32文字位置，當HIGH時，MODESEL強迫Z-43使開關入牠的64文字位置，讓我們先看64文字方式（MODE）。

若MODESEL是HIGH，PIN3“短路”到Z-43的PIN4。PIN6及10“短路”到PIN7及9（記住：一多工器是一相當于電子的多刀雙擲開關）圖五爲此電路波形表。在LINE4主時基是在牠緩衝器Z-42，PIN6的輸出處，LINEB爲D正反器爲除2作用，緩衝後的時基加到Z-43 PIN3，因爲多工器擲到“1”狀況。〔請看下段說明〕PIN3及4爲同一個訊號而計數器Z-58接收10MHz時基頻率在PIN14上，注意正反器輸出Z-70，PIN9，連接到多工器，Z-43的PIN2，在此時並不完成任何作用，因爲多工器並不擲到牠的“0”狀態。〔請看下段說明〕

多工器的輸入分二組，上一組爲0束，下一組爲I束，作用如三刀雙擲開關，擲入“I”時則多工器上選擇脚S PIN1爲HIGH，則將I處的輸入線通到相關的輸出線上，PIN3通到PIN4，PIN6，10通到PIN7，9。



除12計數器，Z-58的輸出在C，D，E及F等線上，見圖5，此等圖形

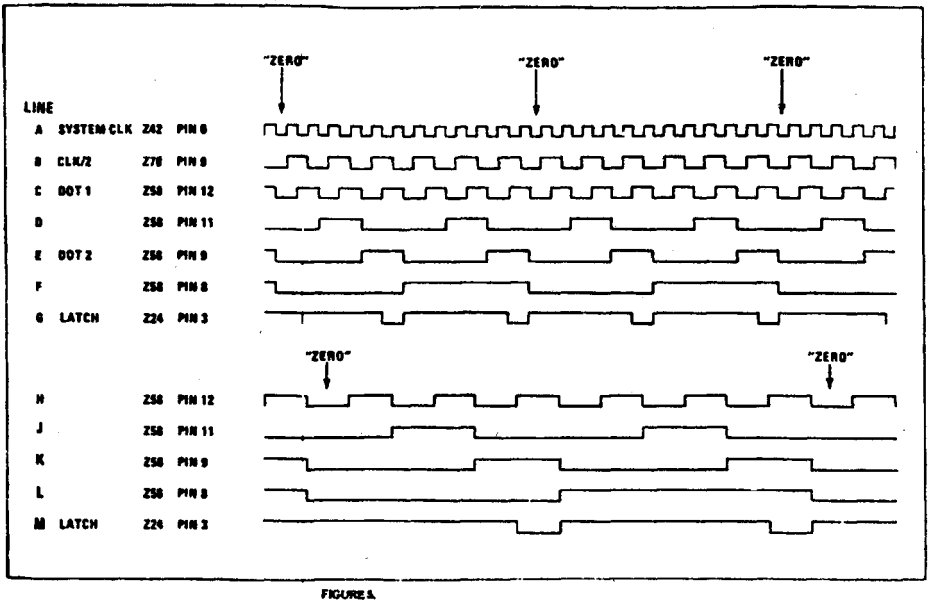


FIGURE 5.

輸入情況波形

上部的ZERO↓箭頭指出那裡Z-58的輸出均爲0之處，注意在C與F之間並不數到11，是用筆直的二進位回到0。Z-58開始找尋0…1…2…3…4…5…，在下一個時基它從二進5到二進8，從8，它計數正常地數到二進13，於是在下一週期，它回到二進0。

注意：Z-58的PIN 6及7，此等輸入用于清除計數器到0，如果你在第一張上找到CTR，你將看到是從反相器Z-42，PIN8而來，此可控制CPU時基除法器，正常地，CTR在LOW，你將看到是從反相器，Z-42，PIN8而來，此可控制CPU時基除法器，正常地，CTR在LOW，

祇有在工廠內作自動試驗時CTR允許到HIGH而清除Z-58，你可能找到“A”及“D”式樣的電路板。用Z-58，PIN6及7簡單地接到地。

Z-58，PIN 12標明DOT1，Z-58，PIN9標明DOT2，DOT1及2被Z-24“NAND”而結果輸出在LINE G，此訊號稱爲栓閂（LATCH）而用于視頻處理，Z-43，PIN 6及10是連在一起而連到Z-58，PIN8，結果輸出在Z-43 PIN7及9將因此變成同一訊號，PIN9標名“CHAIN”爲除法鏈的主要來源。Z-43，PIN7標名“C1”連接到Z-64，PIN10爲視頻RAM多工器之一“C1”將要用于作視頻RAM作最低BIT的定址。

在32文字格式，Z-42多工器PIN1將變成LOW，因此，PIN2，5及11將要依序短路到4，7及9（電子開關已FLIPPED），現在我們有頻率源從Z-70（74LS74）PIN9(Q)連到Z-58計數器多工器Z-43的PIN7，始終爲LOW，而Z-58的輸出PIN12，11，9，8請看第五圖H，I，J，K，L曲線而得知。

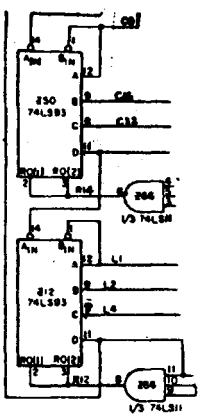
記住，我們用LINE B作Z-58（74LS92）的輸入，而並非LINEA，並且注意，Z-58現在用作除六計數器，輸出在PIN9而並非在PIN8（因爲後面多工器Z-43擲到(Q)束工作，PIN11通到PIN9而成鏈（CHAIN），但是鏈頻率却並沒有改變。在64文字格式，我們的主時基被12除，成爲鏈頻率，此爲10.6445兆週÷12＝887.041仟週，但在32文字格式，我們有½主時基，被6除作爲鏈。10.6445兆週÷6÷2＝887.041仟週。到底改變了什麼呢？二個訊號被改變了，LATCH栓閂爲NAND閘，Z-24輸出PIN3上的訊號，在64文字格式，栓閂波週寬度祇爲一時脈（主時基），而週期爲6個基週。在32文字格式，則波週寬度爲加倍到2時脈寬，而週期現在爲12個時脈週。另外一改變的訊號爲C1。在64文字格式，在多工器Z-43的PIN7上，有一與鏈訊號相同的頻率的方塊波。但是在32文字方式始終是LOW，此訊號改變對視頻處理部份極爲重要的，總結，首先，LATCH栓閂用于在RAM及文字產生器之間延遲一文字，第二個訊號C1，決定RAM用1024或512個可用的地址。

除 法 鏈

除法鏈電路（Z-65，Z-50，Z-12及Z-32）包括4BIT漣波計數器。它們的最大計數爲16，但若加了外界電路後可以改變此最大值。

圖6爲一簡單除法鏈方塊圖。在我們討論計數鏈時請同時參考第二大圖及圖6。Z-65爲一二進位計數器，它分成二部份從情況邏輯而來的鏈輸入加到Z-65的PIN1，B輸出及C輸出均用于視頻RAM定址。而Z-65在PIN8上的輸出是加到鏈內下一個計數器上。部份Z-65將鏈頻率除以4，因爲鏈爲887.0461仟週，而輸出在Z-65，PIN8爲221.760仟週。而Z-65的另一部份將在此後用到。

在鏈中第二個計數器爲Z-50，PIN14爲輸入，除後的頻率在PIN11輸出，此裝置是由外界接線改變以達到輸入頻率除以14。Z-50通常計數最高到一二進位數13，因此計數器輸出如下：



PIN12 （OUTPUT A）= 1

PIN9 （OUTPUT B）= 0

PIN8 （OUTPUT C）= 1

PIN11 （OUTPUT D）= 1

在時基波的下一個負性的週期時，輸出將如下示。

OUTPUT A = 0

OUTPUT B = 1

OUTPUT C = 1

OUTPUT D = 1

這是相當于14。但是注意AND閘Z-66，PIN3，4及5此等PIN連接到輸出B、C及D。AND閘的輸出PIN6將變HIGH，而使Z-50清

除回到 0，此清除脈衝是極度快速的約 50（NS）奈秒，因此 14 二進位的計數在標準示波器上差不多看不出來。而清除脈衝到 PIN 2 及 3 去。Z-50 實際讀二進位 14的時間是極短我們可以忽略它。因此 Z-50 將從 0 到 13計數，又清除回到 0，因爲 221.760 仟週是輸入到 Z-50 而在 P 11 輸出上將爲 15.840 仟週。此頻率將波被同步產生器電路以產生水平同步之用（普通TV的水平頻率爲 15750 仟週）。

下一個除法器爲 Z-12，是連接成一被 12 除的除法器它能正常地往上數，直等到輸出啓用 AND閘 Z-66 PIN 9，10，11，此在第 12 時基的下降邊緣時，Z-66 PIN8，將要變HIGH，而清除，Z-12 回到 0，再說一次，此清除波將極難，用示波器看到。因此我們能放某此計數。在第 2 圖上½頁處有 Z-12（74 LS 92）爲一被 12 除的計數器，而非除 13 計數器，如果以 15.840 仟週加到 Z-12 輸入 PIN-14 上，則輸出 PIN 11 將爲 1.32 仟週。

附圖下一個除法器爲 Z-65（74 LS 93）的一部份，在 Z-12 的輸出 PIN 11 至 Z-65 的 PIN 4，輸出在 PIN 12 上，由此下去到 Z-32 的 PIN 14。Z-65 此部份將 1.32 仟週除 2 因此，在 Z-32，

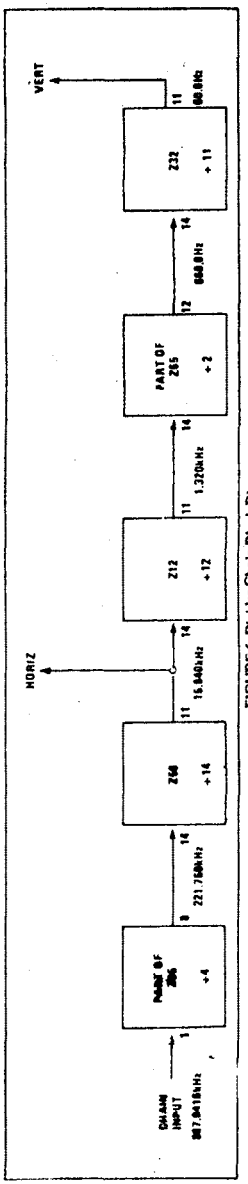
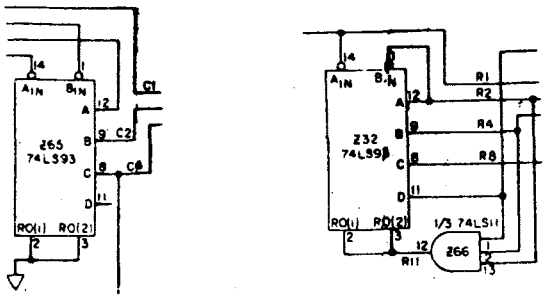


FIGURE 6. Divider Chain Block Diagram



PIN 14 將爲 660.0 週（附圖 2 ）。

Z-32 爲鏈內最後一個計數器，將 660 週除以 11 ，產生 60 週。再次 Z-66 部份的 AND 閘用以變動計數，當 Z-32 的輸出等於二進位 11 時，Z-66 將輸出一極窄的電波清除 Z-32 使回到 0 ，在 PIN 11 的 60 週，使同步產生器電路產生 CRT 顯像的垂直同步。

視頻 RAM 定址 在我們討論系統方塊圖時，你曾否注意到視頻 RAM 應當從二部份來定址。CPU 應定址視頻 RAM 去讀寫資料存取指定的位置。除法鏈亦應當定址視頻 RAM，所以在記憶體內的資料能夠處理且顯現在螢光幕上。

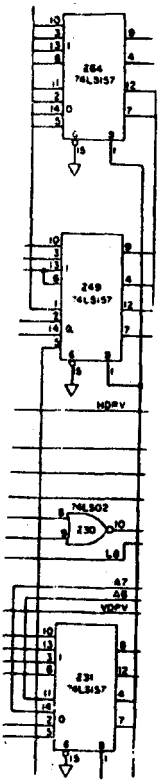
視頻 RAM 經過三個多工器既被 CPU 又被除法鏈所定址 Z-64，Z-49 及 Z-31 爲三個多工器，用作視頻 RAM 的定址，從除法鏈有 10 個地址線將被用于決定視頻 RAM 地址的用途。

鏈情況邏輯供給一個地址：C1 。（ C = COLUMN 行；R = ROW 列）

Z-65 供給三個地址：R1，C2 及 C4 。 Z-50 供給三個地址：C8，C16 及 C32 。 Z-32 供給其餘數：R2，R4 及 R8 地址。

想像一長方形陣列，垂直有 16 個長方形，水平有 64 個長方形，那你將有 1024 個長方形，你可以指定任何一個長方形對他說：「從左手頂端

開始，往下走四列。再向左走18行」。16個列（ROW）可指派從0至15的任一二進位數，而64個行COLUMN可指派從0至63的任一二進位數。長方形00將在陣列的左上手角。而長方形15-63將在左下手角隅。有二進位資訊4個數位，可指派16列的任何一個。



對64行任何一個，可用6數位的二進位資料。此爲計數器鏈所用的定址格式C1，C2，C4，C8，C16及C32指定任一行（COLUMN）。R1，R2，R4及R8指定一列（ROW）。

在檢修TRS-80的視頻問題時，此種行列式的定址格式是極有用處。

從除法鏈的行列定址輸出，加到多工器輸入“1”束上。部份的CPU地址排連接到多工器的輸入“0”束。多工器的輸出接到視頻RAM或環繞他們的邏輯上。我們已經得到輸入及輸出，那末控制又如何呢？你記不記得訊號VID，我們在地址解碼討論時提到過的，我們說VID將選擇視頻RAM，請加以注意，三個多工器的PIN 1均接到VID去。當CPU想控制視頻RAM時，則地址解碼器認識視頻RAM地址，而使得VID到LOW。

當VID低時，多工器開關將“0”輸入通到多工器輸出，計數器鏈地址開關投出電路，則CPU有對視頻RAM作控制。當VID回到HIGH，CPU擲出而計數器鏈接替。

大部份時間，計數器鏈是控制視頻RAM，CPU祇作充電，當其需要之時，你能看到在螢光幕上，當CPU搶去視頻RAM控制計數鏈。並且要注意當在畫圖案時螢光幕上的滿是黑色條紋，此等條紋爲計數鏈對視頻RAM失去控制所造成。

從鏈及CPU地址之外，有輸入到多工器我們尚未討論過。在此第一個輸入，爲在Z-49多工器PIN 6及13上的電阻器，第二個輸入在計數器鏈對視頻RAM的控制時並不需要的，被R49提高到5V，PIN2，及7的輸出相當于PIN13及6的輸入。當計數器鏈已控制住視頻RAM，PIN12及7輸出一穩態HIGH。PIN12跑到所有RAM讀寫控制去。因爲計數器鏈，永不儲藏資料到被指定地址RAM內。當鏈被控制時PIN12應當HIGH，多工器Z-49的PIN7跑到視頻RAM資料緩衝器。當鏈被控制後，則RAM資料排應禁用。在VRD（VIDEO READ）HIGH時則保證，此排即將OFF。

我們又看到WR及RD接到多工器Z-49的PIN14及PIN5上。當CPU照預視頻RAM，多工器輸出在PIN12變成VWR（VIDED WRITE）。CPU能儲藏資料到視頻RAM，使得VWR變成LOW。如果CPU想從視頻RAM讀取資料。RD能穿過Z-49而使VRD工作。當此間有一LOW時，將使資料緩衝器Z-60及Z-44閉路，定址的視頻RAM資料，於是放在資料排上，CPU能像任何其他資料一樣地處理此資料。

文數字格式（ALPHANUNERIC FORMAT）**CRT**〔爲CATHODE RAT TUBE陰極射線管的縮寫字〕在顯字時，每一秒鐘將掃描（SCAN）二次。CRT內部電子光束在螢光幕上從頂到底從左到右移動。每一架框包括264根線其中，192根掃線是用在圖像中，尚有72根用于垂直間隙，作爲較高較低的邊界之用。在此72根線之內沒有任何東西能寫入更不可見。總共每一螢光幕有1024文字位置，（或512，依靠MODESEL的情況而定。每一文字線（CHARACTER-LINE）包括在64個文字！(或32依靠MODESEL的情況而定），共有16根文字線。每一文字線包括12根掃描線，一文數字格式要用7個掃描線。當然每二文字線之間尚餘五個空白掃描線。我們以後將對圖形格式再加說明。

圖第二半頁處部份Z-65及Z-50指出（COLUMN）行地址，Z-32指出列（即文字線），Z-12指出任何文字線的掃描線，Z-12的輸出，

標明L1，L2，L4，L8，此等4線並不用在視週RAM定址上。因爲我們已經說過一列與行的地址將指出我們長方形列陣中任一長方形，但Z-12的輸出將用于視頻之處理。L1，L2及L4將啓用文字產生器，因爲它知道CRT的電子束在那裡掃描，所以能爲任一文字輸出正確的資料。L8被視週處理器VIDEO PROCESSOR)作(關閉)除去二文字線間5根掃描線的用途。

注意第二圖第二頁處NOR閘Z-30輸入PIN8及9，能啓用Z-30輸出，產生一訊號稱爲BLANK，BLANK被視週處理器所利用以給其餘的72根掃描線作上下邊界空白之用。並且也用于螢光幕左右邊界空白之用。(BLANK爲空白)

視頻RAM 視頻RAM爲靜態的，所以並不需要翻新(REFRESH)，它資料的接線與系統RAM，大致相似，但有一不同的啓用訊號，是惟一的相異點。

有一有趣的地方需要注意，此間有7個RAM，其中6個用作ASC 11碼的儲藏，而另外第7個却用作圖形/文數字定義，BIT共有8根資料線，注意線名BIT6的一線，在第一圖的頂部，由NOR閘Z-30，PIN13所輸出，如果RAM，Z-62，PIN12的BIT5，及Z-63，PIN12的BIT7均LOW的話，則BIT6將成HIGH，欲從6個RAM內，擠壓出第7個ASC 11數位，用Z-30來做是一"詭秘"的方法。

在資料排之外，有另一個RAM作資料的輸出。此VIDEO PROCESSOR視頻處理器，在產生文數字及圖形符號時，是視頻資料的。此將在下面講到。

VIDEO PROESSING視頻處理 在視頻處理項目下，分成五個細目，他們爲：①資料栓閂②文字/圖形產生器③移位暫存器④同步產生器，及⑤視頻混合輸出驅動器。概要：①資料栓閂從視頻RAM臨時儲藏一ASC 11或圖形字。栓閂將留住處理中的數組(BYTE)所以RAM可自由地找尋下一個數組②而文字產生器爲一ROM，由資料栓閂及掃描線訊號來定位。此ROM包含文數字格式以構成所有的文字。③而圖形產生器並不非

要ROM不行，今用一4線到一線的資料多工器。它的工作有些像一"數位操縱"電路。它操縱一ASC 11字碼到一圖形符號。④移位暫存器，接收由文字或圖形產生器出來的資料而將並聯點的資料轉換變成串連點（DOT）資料。⑤然後同步產生器電路已經從除法法鏈處接收到定時訊號。同步訊號形成水平波及垂直波，將垂直區間稀以水平同步倒波，以串聯格式送它到視頻混合部份。⑥在視頻混合部份，將串連點，視頻及串聯同步的比率，最後緩衝到一75 Ω輸出線。⑦訊號離開TRS－80而加到視頻顯示（VIDEO DISPLAY）在顯示時，訊號經CRT電子鎗噴射出而到達螢光幕各點而使你有一可讀的影像在螢光幕上出現。

①資料栓門一資料栓門包括Z－28作ASC 11用，及Z－27作圖形BIT及空白訊號之用。Z－28的輸入從6個視頻RAM而來，在第二圖前半中央處，Z－28輸出到Z－29（文數字產生器）及Z－8（圖形產生器），控制Z－28的輸入是在PIN 9栓門及PIN（VCLR＝VIDEO CLEAR）。在PIN 9的栓門訊號爲一波列。由除法鏈輸入情況邏輯來發展的，請看圖五最後一線，栓門LATCH TIMING定時曲線。在每6個點週時訊號變LOW，在LATCH波升緣，ASC 11資料在RAM送到輸出，而臨時由Z－28所儲藏，RAM資料在輸入到Z－28時，現在可能改變，而RAM有時間去搜尋下一個ASC 11文字。

注意：RAM，任何一個RAM均有一參數，稱爲"存取時間ACCESS TIME"此爲資料輸出以反射一地址改變後的改變所化時間的專門名稱。例如，假設一RAM輸出爲HIGH，而RAM的地址變到一新位置，此間却儲藏一ϕ資料數位。雖然RAM現在定址一LOW的位置，但輸出仍舊在讀以前的HIGH，祇要過一短段時間以後，（ns）則輸出將自HIGH變成LOW，在同一時間Z－28儲藏ASC 11字，除法鏈改變視週RAM地址。此RAM現在找尋下一個ASC 11字，它確有6個點DOT TIMES（在64文字格式時約需60 ns）在LATCH介紹儲藏下一字之前找出它來Z－27爲一更小的栓門與Z－28正相同，但它祇處理圖形數位及空白資料而並非ASC 11。PIN 4接一自（圖形RAM），Z－63而來的反相輸出數位，Z－27

的PIN 5有BLANK訊號連接到此。L 8連接到PIN 12，而我們的"詭秘"BIT，BIT 6，連接到PIN 13，所有此等訊號是栓閂到Z-27，好像ASC 11字栓閂到Z-28是一樣的。

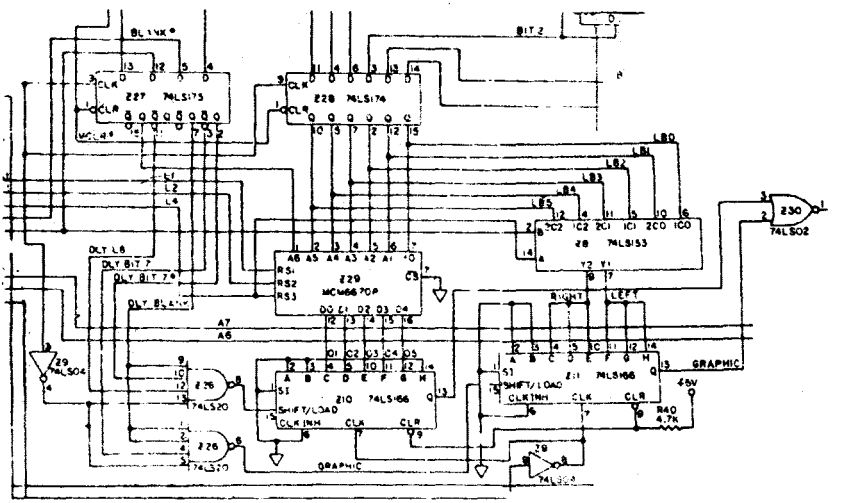
每一輸入到Z-27各有一不同的作用，到PIN 4的圖形BIT可決定，在Z-28包含的ASC 11字爲一文數字或爲一圖形字，PIN 5爲一BLANK訊號，此訊號來自Z-30，PIN 10，而控制視週顯示上下左右的邊界，當BLANK HIGH時則CRT的電子束充許繪在螢光幕上。當BLANK LOW時則光束掃在邊界地區而防止光束再繪任何東西于CRT上，L 8是接到Z-27的PIN 12，L 8作用有些像BLANK。記住，L 8指示電子束位于任一文字線的地點。當LOW時，L 8讓光束輸出文數字點（DOT）資料，當HIGH時，L 8關閉光束，因爲它現在正掃描二根文字線間五個掃描線之一。最後一批資料是從Z-27的PIN 13出來，在Z-30 PIN 13所出的爲"詭秘"BIT此意爲從RAM Z-63，Z-62所包含的資料內所導出，此爲Z-27唯一的BIT，可看成ASC 11的一部份，其輸出加到文字產生器Z-29的PIN 1上。

注意二個資料栓閂的PIN 1，此輸入當LOW時，將要強迫栓閂到他們清除的狀態，（輸出爲0）此訊號名VCLR（VIDEO CLEAR）由D正反器所供應Z-7的PIN 6上。在CPU中斷視週RAM時，正反器禁止資料栓閂。注意Z-7的PIN 4，是接到VID上，當VID LOW時PIN 6將變LOW將清除資料栓閂。（當我們在講視頻RAM定址部份曾談到什麼能在螢光幕上產生黑色條紋。當CPU供給視週RAM時Z-7的PIN 4重回到HIGH。

下次資料被栓閂到Z-27及Z-28時，Z-7將擲回到它正常的重置的狀態而讓資料栓閂工作。如果Z-7並未工作，我們將能看到文字在螢光幕上分裂開來。例如當CPU受視頻RAM命令時假設CRT繪出文字來，當CPU結束後當CPU突然跳入時，則視處理器電路可能仍能看到ASC 11碼在栓閂中，視頻電路將嘗試再在螢光幕上繪文字，我們可能看到二次文字，或許一半在這裡，另一半在那裡，清除資料栓閂以保證視頻處理器並不

干擾到。

文字產生器 附圖每一文字產生器包括一點矩陣，此矩陣爲五點寬乘，七點深在二相鄰文字間有一點空間，因此我們有5個點一空間，5個更多點，一空間等等。上下相鄰二資料間垂直的間隔由點時基的頻率來決定，（在TRS-80，點時基訊號稱爲SHIFT移位）



，點時基的振盪頻率，用在64文字格。（在32文字格式用½振盪頻率）相鄰二點的水平空間爲掃描頻率的作用，換一句話說每一排的點是調節到沿電子束途徑穿過CRT，共七列文字點而五列空白點組成。

因爲每一文字包括一點的圖案，必定有一些方法以決定某一點應當ON，某一點應當OFF，以組成任何一個文字。文字產生器能控制螢光幕

上的點圖案。

Z-29 爲文字產生器，七數位ASC 11 字，儲藏在資料栓門內，加到 Z-29 的ASC 11 輸入PIN 1 至PIN 7 ，ASC 11 定址在Z-29 某些地區，你可能認爲ASC 11 輸入爲一地址的較高的七個BIT，而較低部份的地址輸入到 PIN 8，10 及 11，此三個 BIT 輸入作選擇定址點圖案（ ROW ）列位置之用。Z-29 每次輸出五個點，因爲每一個文字包括七列 5 點，因此文字產生器必需輸出繼續的七次，適以組成一文字。

現在來說如何寫成一標準文字線，假設一ASC 11 字在栓門中。電子束是在文字的第一掃描線上。此間脚 8，10 及 11 各有一二進位的“ ϕ ”加于他們，Z-29 爲此特殊的ASC 11 文字輸出第一個點圖案。而下一個 ASC 11 文字加到 Z-29 ，它爲此文字輸出第一個 5 個點，此手續繼續下

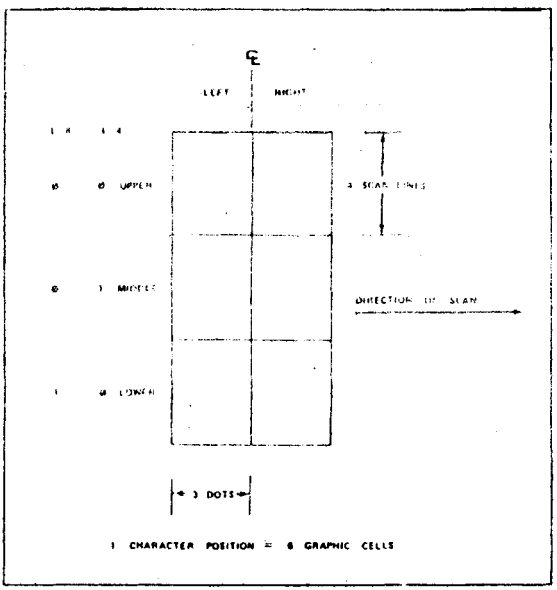


FIGURE 7. 長方形及圖形細胞

去，直到光束已掃描過整個螢光幕的寬度，如果我們能夠在此點停止作用，所有你能夠看到的爲一列的點而已。在第二個掃描線上，當資料在8，10及11增殖去讀二進位“1”（001）時，RAM現在準備去讀第二列的點，首先ASC 11文字加爲了那個文字它將輸出第二列的點。當第2個ACS 11字進入時，而第2列的點出來，將此手續繼續直到所有64文字有第二列輸出在第一列之下。線計數器數加一而我們將第一個ASC 11字再加一次。我們畫一列的點，線計數器數加一，畫另外一列，任何一線內的文字至少存取七次。當線計數器已過第7數時，所有的點有感覺了。而我們將像文字地去認識點圖案。在7點掃描輸出之後，電子束關閉，而5列空白點亦輸出，我們現在將要準備輸出第二文字線的第一列點圖案。

點輸出看起來讀得很慢。但ASC 11字投到文字產生器約1.77兆週的速度。由CRT及人眼的視覺暫留使得此等文字看來像是整個的輸出一樣。

圖案產生器 你還能記得我們在視頻除法鏈部份時，所說的長方形陣列嗎？好！讓我們再回到長方形，像以前所講的一樣，在視頻RAM有1024文字位置，假使我們將每一大的長方形再分成6個小形長方形，我們可以得到基本的圖形細胞（圖7再分爲6的長方形），此細胞爲顯示在螢光幕上的最小的圖形資訊單位。每一細胞有4個掃描線長，且有三個點的寬度。Z-8爲圖形產生器，實際上，Z-8並不產生任何東西。並且，它操縱環繞模擬一圖形產生器，的ASC11 BIT ASC11從資料栓門Z-28輸入到Z-8，而從Z-28較高位的線地址。L4，L8能代表從ϕ至3的任何4個數字，但是因爲Z-12並不跑到二進位12（除了極短一時間我們可以不計）我們祇要從ϕ到3，找一二進位數字，L8及L4用于指定6個圖形細胞的垂直地址。此地有三個垂直地址，$\phi\phi$定義爲最高對的細胞，ϕ1定義中間對的細胞，1ϕ定義較低對的細胞，亦在第七圖內說明。

ASC11字標名LBϕ至LB5，以決定圖形細胞爲ON（HIGH）或OFF（LOW）。此種輸入之一的位置到Z-8（74 LS 153）以決定是位于那一邊細胞的中心線。在Z-8，PIN6上有一個輸入時指示爲一左手的

圖形細胞。若在Z-8的PIN 10有一輸入，則指示一右手圖形細胞，PIN 5爲左，PIN 11爲右；PIN 4爲左，PIN 12爲右。例如LB2爲HIGH，而所有其他的LB輸入均爲LOW，LB2從Z-8 PIN 5而來。此PIN所屬的圖形細胞位于文字位置的左邊。因此，依靠L 8及L 4的情況，LB2將能亮，在左中心線上的衆圖形細胞之一，如果，L 3及L 4是邏輯$\phi\phi$，則最高左邊細胞轉亮，如果L 3及L 4爲01，則中央左細胞將發亮。

你能看到，Z-8的作用如一圖形產生器，用以操縱綫文字長方形ASC 11 BIT，細胞內圖形的垂直位置，是由L 8及L 4的情況來決定。從Z-8有二個輸出，標名爲"左"及"右"此"點"資訊是加到圖形移位暫存器，此爲在移位暫存器邏輯則資料從RAM Z-63決定是圖形呢還是文數字將要寫到任何一文字位置。

文數字/圖形移位暫存器 Z-10（74 LS 166）爲文數字移位暫存器，而Z-11（左右）則爲一圖形移位暫存器，此二裝置，均從它們有關的產生器接獲並聯的資料，並聯點資料載入到暫存器而點時基（DOT OLOCK）（標名SHIFT）將配合點出來，一個接一個，到視週混合器。我們將先討論文數字移位暫存器。

當文數字移位暫存器應當串連點資料及什麼時候不能如此做，多少有一些限制。首先，資料應當文數字而不是圖形。第二，電子束應在保留點資料的根掃描線之一，而不是介于文字線之間的空白5線之間，第三，電子束應當在能定義螢光幕的視週部份的192根掃描線之一，（並不在上下左右邊界上）當所有三個限制都遇到時，則點資料以並聯載入到暫存器NAND閘Z-26在資料儲藏到Z-10之前能保證所碰到的所有情況。

延遲L 8是在Z-27，PIN 11得來，而接到Z-26，PIN 12，當此輸入爲HIGH時，則光束掃描在一文字線上，並不是介于文字線間的。

延遲空白是由栓門Z-27，PIN 7而來，而連接到Z-26 PIN 9。當此輸入爲HIGH時，電子束是在螢光幕的視週部份，而並不位于靠近一同步波或在某些邊界地區。

如果所有三個限制都碰到的話，Z-20的PIN 13將連接到反相的LATCH訊號上。當Z-26的PIN13變HIGH時，則點載入的手續將由NAND Z-26，PIN 8爲LOW來催動。在下一個時基波在Z-10，PIN 7上點資料將載入到移位暫存器，在LATCH回返HIGH後（在變LOW後一點時間）移位暫存器開始使時基點資料出來在PIN 13上，在一串聯溪流（當LATCH變高時，Z-26的PIN 13變低，使得PIN 8變高）每一個時間LATCH變HIGH時，它強迫ASC 11及條件性的資料儲藏于Z-27及Z-28，在此同時，Z-10不會移動點外出到PIN 13，Z-10祇有在當PIN 15在HIGH時才將資料移位出來。當LOW時，PIN 15強迫Z-10從文字產生器載入資料。

注意未用到的輸入到Z-10、PIN 9，清除輸入是經過R 40而拉高到Vcc。當此PIN爲低時（由於短路之故）則你將有一空白的螢光幕了。PIN 14，3，2，1及8均接到地。PIN 14給你在相近文字間有空白點，PIN 2及3並未用到。但同PIN 4及5一樣爲暫存器輸入，PIN 1爲串連資料輸入而PIN 6禁止時基輸入。在此用途時，他們並不必須要用。

圖形移位暫存器爲Z-11，工作大部份相似于Z-10，除了在應用時某些情況是必須碰到的，圖形情況如下：首先，Z-63應指示一圖形文字以替代前面所說的文數字、文字，第二，電子束一定要在螢光幕視頻區域。此間祇有二個情況能限制圖形的，因爲一文字長方形結束，在另一長方形開始之時，而沒有內部文字線空白。如果你轉亮所有的圖形細胞。你將有一金波，大的正方形而沒有洞孔及正方形邊界包圍在正方形中。如果某一次遇到了所有的限止時，則圖形點資料，可載入到Z-11，以移位到視週混波器中，另外一個NAND 閘在Z-26，用作圖形載入啓用用途。

反相的延遲BIT（DLY BIT 7）是在Z-27，PIN 3處產生，加到Z-26 PIN 4，當此爲HIGH時，此輸入告訴Z-26說Z-63的確實際包含一“1”此爲定義一圖形碼。

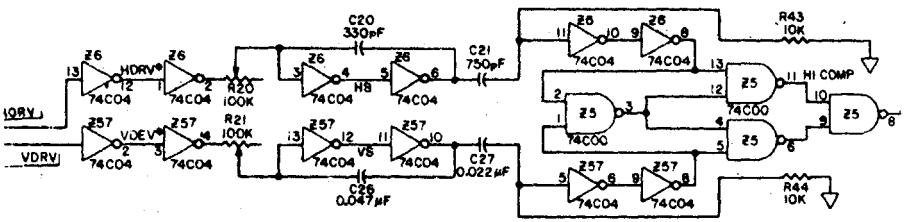
DELAY BLANK（DLY BLANK）延遲空白是接到Z-26，PIN 1及2，當爲HIGH時，此輸入告訴Z-26電子束是眞的在螢光幕的視頻部份。

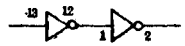
有時全部情況均遇到而LATCH變LOW時，Z-26將變LOW，好像Z10，Z11將載入點資料且當PIN 15回到HIGH時，移位工作將開始，6個圖形點將移出PIN 13。注意Z-11的PIN9由R40提昇，PIN 3，2，1及6均連地。但PIN 14在此時用到，在圖形上說，在文字長方形間，並沒有一空白的點空位。

同步產生器 同步產生器電路接收從除法鏈的定時訊號，以發展作顯示用的水平及垂直同步脈衝。此等脈衝被顯示利用以控制 CRT的電子束。

同步脈衝是由工作如線性的邏輯另件所產生的。

第二圖中下段Z-6，爲一CMOS 反相器（ 74 CO4 ）附圖，用以產生水平脈衝，而Z-57(74 CO 4)用以產生垂直脈衝。HDRV（ HORIZENTAL DRIVE ）水平驅動訊號是從除法鏈在Z-50，PIN 11 處產生，此訊先被



Z-6所緩衝，  PIN 13，12，1及2而加到R 20 電位器，R 20 控制在水平脈衝開始參考到HDRV。當R 20 的接觸點靠近到Z-6 PIN 2時，水平波將開始，差不多在同一時間當HDRV變HIGH時。當接觸點移向另外一端時，在HDRV變HIGH時，及水平脈衝開始之時間有一段延遲。R 20 並不由自己來完成此移相工作。C 20 再同在Z-6的二個反相器形成完整的移相網路。

現在說明它是如何工作的，HRDV變HIGH，造成Z-6，PIN 2變HIGH（在此情況約 5 V）一電流流過R 20 對C 20 充電。當C 20 充電時，

在Z-6 PIN3的電壓，當電流穿過R20降低時，從0起緩慢增加，在二段時間後，在Z-6的PIN3上的電壓將高至成一個HIGH，Z-6的PIN4變成LOW，使得PIN6到HIGH，C20突然地充電。每樣事情停留在此方式，直等到HDRV變成LOW爲止。在此時，C20開始以充電的速率放電。當Z-6，PIN3降落至邏輯"φ"水準時，PIN4將變HIGH，使得PIN6降至LOW。C20突然的放電。處理的週期現在完全了。直等到下一次HDRV變HIGH再開始，當Z-6的PIN3電壓水準停留在超過最小邏輯"1"水準時，能決定從HDRV的移動量。而R20電位器調節位置的效應（此調整延遲時間）在螢光幕上爲一視頻顯示的水平移動。

當水平訊號移相後，水平脈衝應當整形，C21及R43形成一微分網路，此能從移相HDRV訊號創造一更小知道寬度的脈衝。工作是極簡單的，當Z-6 PIN6成HIGH時，C21及R43微分脈衝升緣起一窄的脈衝經過Z-6，PIN11，由PIN10反相，而PIN9及8作了反相又緩衝的作用。由此種種所造成的結果成一4微秒長，稱爲水平同步脈衝。

垂直同步移相工作正與水平用相同的方法，Z-57被用作活性元件，爲此R21及C26形成一延遲網路，微分網路包括C27及C44，注意垂直及水平電路惟一的不同點爲二個電容器的數值不一樣而已。

水平及垂直同步的混合：

當二種同步脈衝移相及脈衝整型後，NAND閘Z-5用以混合二個訊號在一起及垂直區間的水平同步倒波，圖8有圍繞Z-5的理想波型。

在LINE A爲水平脈衝，Z-6爲此輸出的來源。

在LINE B爲垂直脈衝從Z-57，PIN8而來。

在LINE C將水平垂直二同步脈衝經NAND閘Z-5輸入PIN1及2後，在PIN3輸出。此脈衝。

在LINE D爲LINE C與LINE A經NAND閘Z-5 PIN12，13後，在PIN11輸出。

在LINE E爲LINE C者 LINE B經NAND閘Z-5 PIN4，5後在

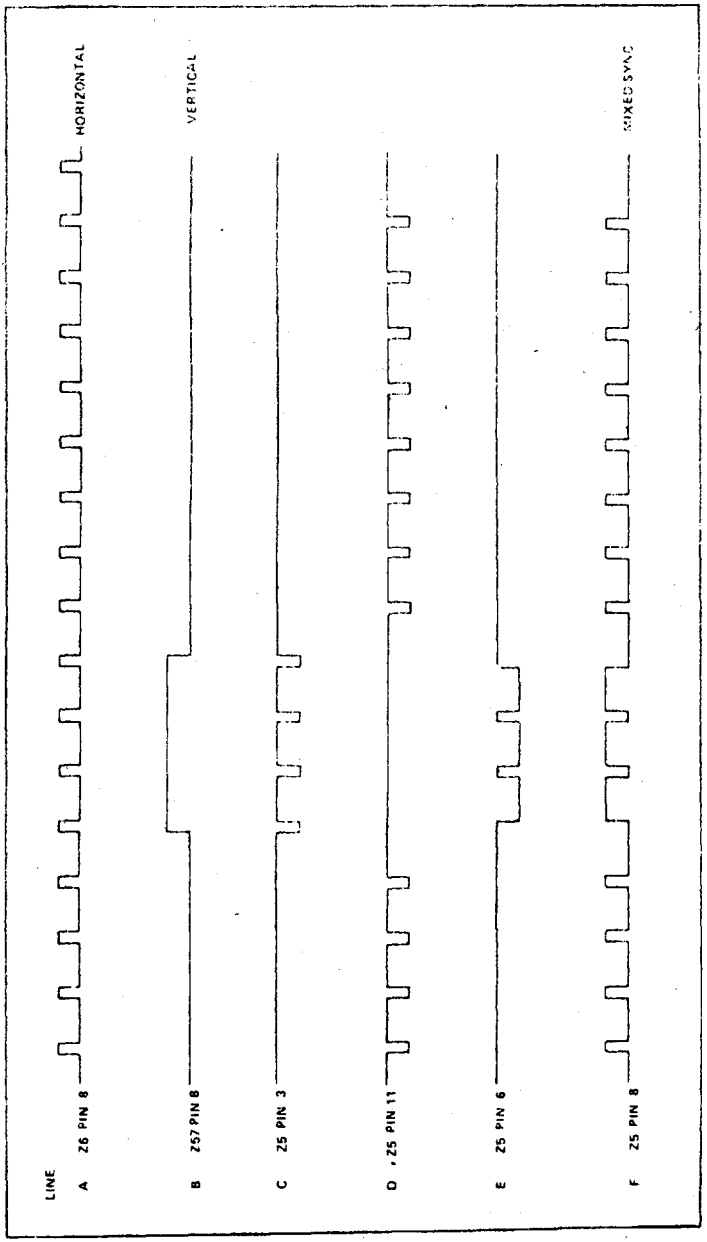


FIGURE 8.
同步混合

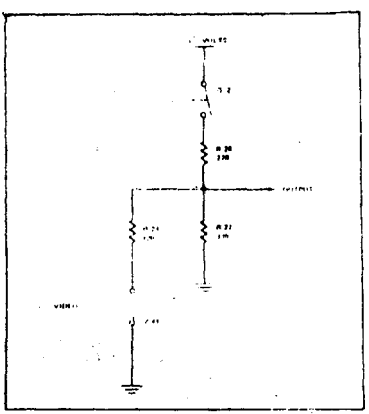
PIN6輸出。

在LINE F爲由LINE D及E由Z-5 PIN10及9 NAND閘後在PIN 8輸出的混合同步波形。注意Z-5的二件事。最後PIN 8的輸出（LINE F）爲"僞"（FALSE）的混合同步。換句話說，是僞的形式反相了。第二，注意Z-5可以用布林代數簡化成有2輸入的排斥性或"OR"閘，在LINE C上的輸出可能用$V\overline{H}+H\overline{V}$來表示。此間V爲LINE B的垂直同步，H爲LINEA的水平同步。

視頻混合 視頻混合電路爲顯示生產混合視頻訊號。視頻混合器從移位暫存器接收文數字或圖形點資料，經水準移位，而置于混合同步之頂。混合波形於是緩衝而去驅動75Ω總阻，而經電纜送到視頻顯示（VIDEO DISPLAY）。

從移位暫存器Z-10或Z-11的點資料加到Z-30的PIN2或PIN3，但PIN2，PIN3不會在同一時間工作。當Z-10輸出，文數字資料，Z-11，PIN13變LOW，相反地，如果Z-11輸出圖形資料，Z-10，PIN13將變LOW。總結果在Z-30輸出PIN1上爲一視頻點資料單波形，此資料加到Z-41輸入PIN6及7上。

混升波資料從Z-5 PIN8上產生，加到電晶體O_2的基極上。每時間



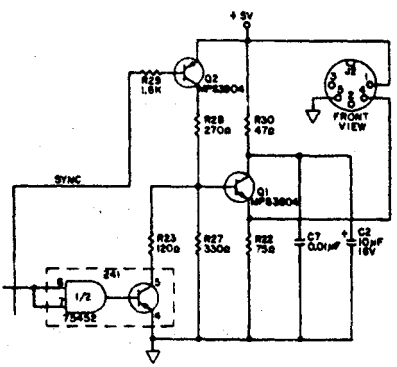


FIGURE 9A. Simplified Video Mixing

C_2 的基極跑到 4.4 V，（ 5～0.6 V ）時 O_2 導電，此供給 5V 到 R28 電阻，（ 實際上由於 O_2 的飽和電壓故加到 R28 的電壓將要小於 5V 。

從 Z-30 PIN 1 上的點資料，將要被 Z-67 PIN 6 、7 所相反，在 PIN 5 上的結果輸出爲一正常 LOW 訊號，祇有當移位暫存器輸出一點（ DOT ）時，才到 HIGH，Z-41 爲一高電流的驅動級，在 PIN 5 上的輸出，爲輸出緩衝電晶體的集極，所以基本地，我們有視頻及同步跑到二個電晶體，此等電晶體的作用像開關，控制流過電阻網路 R 28 ，R 27 及 R 23 的電流圖9 A爲此電路的簡圖。

附圖 O 2 及 Z-41 代表開關。O2 “ 開啓 ” 時，則沒有電壓加到 R 28 上，而輸出節點在地電位，當 O2 “ 關閉 ” 時， Z-41 亦 “ 關閉 ” 。則輸

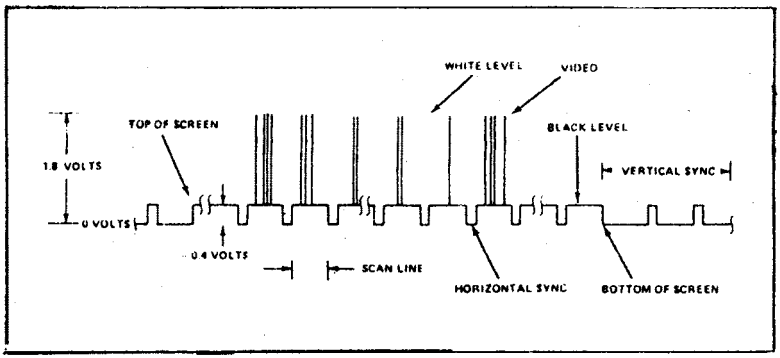


FIGURE 9B. Composite Video Output

出電壓上升到 1.23 V，此電壓將稱爲 “ 黑水準 ” ，在此水準下的電壓稱爲 “ 比黑更黑 ” 此爲同步水準。電壓超過 1.23 V 以上時稱之爲 “ 白水準 ” 正常地，黑水準停留在 1.23 V ，直等到在 Z-5 ，PIN 8 的同步升高時，O2 不導電，使得在節點（ NODE ）的輸出到地電位，當點資料使得開關 Z-41 “ 開啓 ” ，則在輸出節點上的電壓增加到 2.75 V 。

我們在輸出節點上有一訊號，包含訊號及同步資訊，此訊號差不多爲

顯示而準備，在此點必須作一點水準移位及輸出緩衝的工作。

電晶體O1用作射極通地式放大器，混合視頻加到O1的基極，而射極輸出的波形加到圖9B，此最後的訊號用于視週顯示（VIDEO DISPLAY）電容器C7及C2與R30形成一O1集極的濾波網路，電容器保證

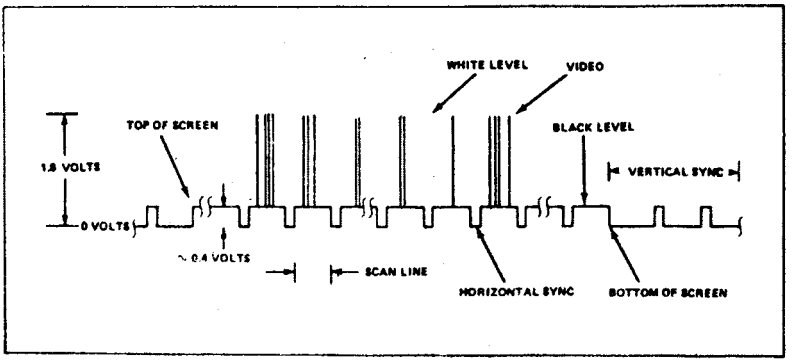


FIGURE 9B. Composite Video Output

直流偏壓加在集極上的水準，與視頻無關，且幫助減低O1的耗電損失。

鍵盤KEYBOARD TRS-80鍵盤有53個單刀單擲正常開路鍵用塑膠基底上模造而成。基底是架起來的，再有4個積體電路及其所附的電阻器連到鍵盤電路板。你可以在線路圖上看到，此鍵盤並不輸出ASC 11碼。它能夠掃描，好像計算機式的鍵盤，每一鍵代表一跨于矩陣節點的開關，當閉合時，此開關將一水平線短路到一垂直線，在ROM內的軟體（監督程式）將檢查此短路，而產生相當于此特殊鍵的ASC 11碼。

鍵盤由解碼器訊號KYBD(KEYBOAD)來存取，當此訊號變LOW時，即啓用三態緩衝器Z3及Z4，送到此種緩衝器的輸入，通常由提昇電阻R1至R8提高了。（在鍵盤線路圖的頂部）。所有的水平地址線，當

KYBD LOW時，在同一時間，所有的水平地址線都變成HIGH。如果CPU在所有資料線中之一檢出發生一邏輯“1”的事實時，這表示鍵盤之一鍵是被按下過。在平時CPU ROM將在地址線上一根一根掃描（SCAN），直等到他找到在資料排上有一個“1”再度輸出，在找尋到之後，ROM能指令CPU如何去爲那特殊的鍵產生ASC 11碼。在此時，CPU亦校核二個（換檔）移位鍵（SHIFT KEY）。如果此等鍵二個都不按，則ASC 11鍵並不變動。如果其中之一被按後，則ASC 11碼卽刻改變了。

有關鍵盤祇有一點需要提出來討論的，在地址線上的反相器爲開集極式，你不可能看到在Z1或Z2輸出的地址訊號，除非連接到那輸出鍵之一被按下，如果沒有按鍵，則就沒有電壓加到KP（KEY-BOARD-ROW鍵列）線，當一個KEY壓下後附屬提昇電阻供給電壓，然後你將能看到在一（KR）鍵列線的活動。

MEUORY-輸入輸出口：你現在知道，TRS-80微電腦系統爲記憶器映像式（MAPPED）但它的確有輸入口及輸出口，在記憶體映象及輸出入口間的基本不同點在資料處理的方法上，在記憶器映像法，CPU知道資料在那裡？但在一輸出入口時，CPU既不知道，並且不能關心到底資料位于那裡，如果此輸口爲記憶體的一種，則CPU將輸出資料到那一輸口，而它將跑到輸口的電路，來處理及儲藏資料。在輸入情形時，CPU存取輸入口，而直到此口，來找尋資料爲CPU而送此資料而到資料排上。

Z-80 CPU能存取高到256輸出口及輸入口，在TRS-80水準一系統我們祇用一個輸出入口，匣式錄音機是惟一所用的一輸口爲十六進位FF。（輸口的存取祇用較低的八位地址線）

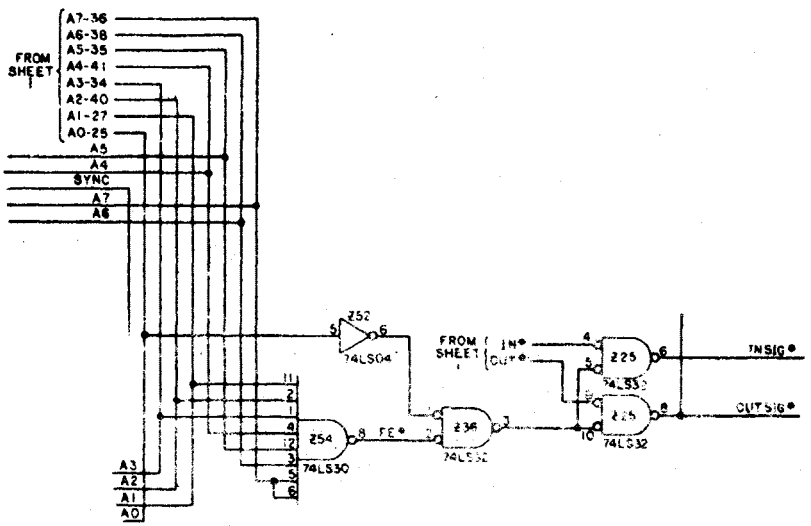
輸口定址 因爲TRS-80雖祇用一個輸口，但必需有一個輸口解碼器，此解碼器在線路二圖在同步混合電路及電源供給之間。

Z-54（74 LS 30）NAND閘接到地址BA 7到BAϕ（經過BUFFER緩衝後的地址線）Z-52反相器接到Aϕ線。當十六進位FF輸出到地址線Aϕ到A7，則Z-54，PIN 8（FE）及Z-52，PIN 6將變成LOW，

此二個輸出接到OR 閘Z-36，輸入PIN2及1。當Aφ及FE爲LOW時，FF在Z-36 PIN3將要LOW，輸口地址解碼現在完全了。假使我們在OUT有一個LOW，（CPU想存取一輸口時則此訊號爲LOW）。

因爲OUT及FF均LOW，所以Z-35，PIN8會輸出OUTSIG，若我們在IN有一LOW，（此意爲CPU想存取一輸入口之意）因爲IN及FF均LOW，所以Z-25，PIN6將輸出一LOW，產生INSIG，IN及OUT不應該在同一時間均LOW，因此INSIG及OUTSIG亦不可在同一時間均LOW。

OUTSIG OUTSIG線用于控制二個匣式作用及一個視頻作用。用在CSAVE情況爲匣式錄音機作產生音頻訊號之用。亦用于控制記錄器的馬達。牠的視頻作用是控制MODESEL訊號（MODE-SELECT）此訊號尙能將64文字格式能變到32文字格式，反變亦可以。OUTSIG亦可控制在Z-24由NAND閘構成的栓門。我們將要在以後談此電路。（附圖）



後續的Z-59（74 LS 175）爲被OUTSIG控制的資料栓門，此栓門接獲資料在資料線Dφ至D3上。Dφ及D1連接到Z-59的PIN4及5。此等二輸入，在CSAVE作用時用作輸出資料錄到磁帶上。地址線D2是接到Z-59的PIN12，此輸入控制錄音機馬達的情況。地址線D3接到Z-59的PIN18，此輸入控制MODESEL的情況。

到栓門Z-59的輸入，儲藏及輸送到輸出在每次OUTSIG變HIGH之時（外緣激勵）例如：如果當OUTSIG變HIGH時輸入D2爲HIGH則Z-59 PIN 10將變HIGH及留HIGH處。錄音機的馬達將開動，當OUTSIG又變HIGH時，則輸入D2成LOW，Z-59的PIN10將要LOW，而錄音機馬達將要關閉。

匣式錄音機馬達控制：在開始一CSAVE作用時，匣式錄音機馬達應當開動。CPU將使OUTSIG變LOW，而加一"邏輯"1"到DZ上。當OUTSIG變HIGH時，D2上的HIGH將轉移而停留在Z-59的PIN10上。此輸出接到一鍵電器驅動Z-41輸入PIN1及2上，Z-41的PIN3將變LOW，使得電流穿過繼電器K1的線圈。K1的接觸點閉合，短路插座J-3的PIN 1及3，此二脚與在錄音機的遙控插頭相連。於是錄音機的馬達即開動。注意二極管CR3及瑞納管CR9及CR10。CR3爲一標準矽二極管，用作一"ANTI-CHATTER"反鎖住作用。當電源是從K1的線捲加入或取下一相反的EMF（ELECTRICAL MOTIVE FORCE）電原動力足產生出來了。此電壓足夠高到損壞Z-41的輸出電晶體或造成K1去CLICK OFF，若多一些時間，還會損壞開關接觸點。CR3將並連繞K1反電原動力的電壓。且防止電晶體損壞或鍵電器CHATTER鎖住，瑞納二極管CR9及CR10用于相同的方法。此間我們嘗試去保護K1的接觸開關，當錄音機開動時，一個高的電壓突破可能產生。結果產生接觸放火。CR9及CR10防止可能的損壞。可使任何一電壓突破超過某些水準時即用並聯法使其離開接觸點。

匣式錄音機音頻輸出 錄音機在馬達開動後，CPU可能輸出儲藏于磁帶的資料。此輸出作用的所有資料定時，工作是軟體控制住的。用Z-59從CPU儲藏資料，而用CPU資料使它造成輸出波形，CPU資料在軟體控制之下，加到栓閂Z-59的PIN4及5上，輸出PIN2及6接到一包括R53直到R56組成的電阻網路，當OUTSIG在送資料到Z-59，PIN 9 CLOCK上結果的輸出在PIN2上經R54 在線上標名CASSOUT極類似一由方塊波來造成的正弦曲線一般。（第十圖）祇說明一BIT時間。

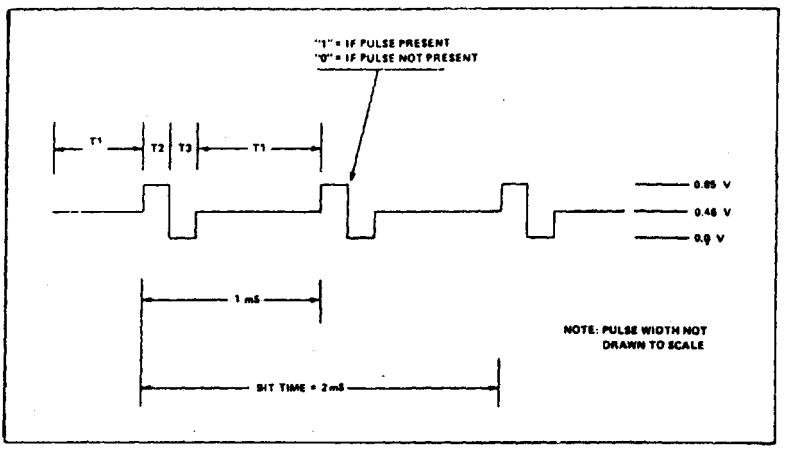


FIGURE 10.

理想的CASSOUT波形

在圖形10，電壓輸出爲Z-59的PIN 2及6情況的作用。在一段標名P1，其輸出爲0.46V.T1是當輸出PIN2爲LOW，而輸出PIN6爲HIGH（$D\phi=\phi$，$D1=\phi$）；而在T2的電壓；當PIN2爲HIGH，而PIN 6爲HIGH的電壓，（$D\phi=1$，$D1=\phi$）；而在T3時，當PIN2

爲LOW，而PIN6爲LOW的電壓（ Dϕ = ϕ，D1 = 1 ），所有的“數位正弦曲線”是由此方式產生。

注意在圖十中，時間的長度，從開始的一BIT時間到開始下一BIT時間相差二個毫秒。一個1或0依靠一脈衝在一開始二個BIT時間的存在或不在而定。例如：當CPU輸出一BIT，它將產生一開始脈衝。一毫秒之後，另一個波形將要產生。如果此BIT爲0，因此將要有一2毫秒的延遲在另外一波形產生之前，而此波形開始第三BIT時間。此波形輸出到匣式錄音機從插座J3 PIN5，此PIN接到錄音機的AUX輸入。CPU輸出所有的在系統RAM的指令到磁帶在CSAVE作用時，當作用完成後，成音到錄音機是禁用（ DISABLE ），而一LOW送到地址線D2關閉錄音機的馬達。

資料用以下的格式寫在磁帶上： 在CSAVE，CPU強迫Z-59輸出128個0數位。它於是輸出十六進數位A5，被CPU在CLOAD時作同步用。有一個二個數組的開始地址，而有一二個數組結束地址加在後面。於是資料跟隨着不管有多長。在資料之後，最後部份儲藏的爲CHECKSUM總字數，此一數組數目爲將所有資料加在一起的和數，被CPU用于保證：什麼是CLOAD送進去的即爲CSAVE送出來的，如果總字數不能配合，即可發現爲一負載錯誤。

匣式錄音機音頻輸入：如果記錄器可忠誠送出所送入的東西，則我們似可免掉4個內運算放大器同了一大把部份品，但牠並非如此，所以Z-4加入了。在事實上記錄器對訊號尙加入些玩意兒如馬達噪音，60週交流聲等複雜訊號處理。

從CPU作一CLOAD指令，錄音機馬達開動，而匣式成音加到插座J3的PIN4。此訊號稱做CASSIN加到電容器C24及電阻器R67在成音處理器部份的輸入。

Z-4，PIN1及6以及輸出PIN5，形成一活性濾波器。電路的這部份是用作濾開在CASSIN的不需要的雜聲及交流聲。此爲一高通濾波器，滾轉（ ROLL-OFF ）約在2KHz，如果你在CASSIN用一示波器觀看時，

你能看到資料脉衝跨 60 週交流聲訊號在經過高通濾波器時則結果之波形將看到 60 週交流聲被拿掉了，所剩下的爲惟有資料波了。此訊號依一約 2V的基線上下搖擺。圖 11 有某些理想的匣式訊號，所繪在LINE A上的訊號的式樣期望在活性濾波器的輸出，濾波後，下一部份的 Z-4 用作活性整流器，CR4 及CR5 ，留同偏壓電阻繞PIN 2，3，及 4 將資料脉衝全波整流。一標準的輸出在 CR4 的陰極邊在圖 11 LINE B。

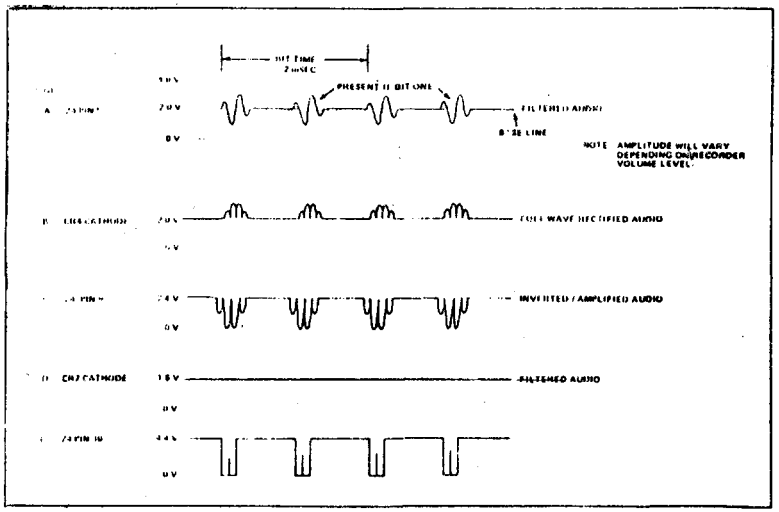


FIGURE 11.

理想的成音處理

在整流之後，訊號反相及放大。Z-4 PIN8，13 及9 ，是連接成一反相放大電路，以R 41 與R 42 的比值給放大器一約2 的得益，圖 11 LINE C爲Z-4 PIN9 的標準輸出最後一級 Z-4 用作水準檢波器，CR6 及CR7 ，同 3 C39 構成一種電源供給器，在 Z-4 ，PIN9 有放大的成音訊號，

加到CR6的陽極，CR6及CR7減低輸入訊號的電壓水準約0.8到1V，C39濾波結果的電壓而開創一直流訊號像圖11中的LIDE D。如果從Z-4，PIN10將變LOW若當Z4 PIN12仍舊保留在參考值之下時，則它將仍爲LOW，LINE E爲從Z-4，PIN10的結果輸出。注意我們遺失了不少的成音脈衝，因爲訊號並不能搖擺到地，以足夠激勵Z4 PIN 10。在PIN10的下降邊緣將要用到來使正反器Z-24爲HIGH。用CPU及ROM內的軟體可將匣式資料轉換到程式資料。

INSIG 說眞的，如何一CPU將轉變成一串0同1送到一BASIC程式的列。祇對研究軟體的人才有興趣。用于TRS-80使匣式錄音帶資料送到CPU所用的硬體量是極少的。祇有硬體將被談論。

Z-25，PIN4是連接到IN，當CPU想要從一輸口輸入資料時，則訊號將變LOW，在輸口定址早已講過，一在Z-25 PIN4的LOW及一在地址解碼器Z-36、PIN3，則將在Z-25 PIN6，INSIG，此訊號祇控制一個裝置。Z-44的部分，Z-44 PIN12接到NAND閘Z-24，PIN8，Z-24的二個NAND閘連接成一SET，RESET栓閂。如果PIN9變LOW，PIN8將要變HIGH PIN8是交叉接到PIN12，如果PIN13爲HIGH，因爲PIN12 HIGH，PIN11將變成LOW，有HIGH在PIN8，而一LOW

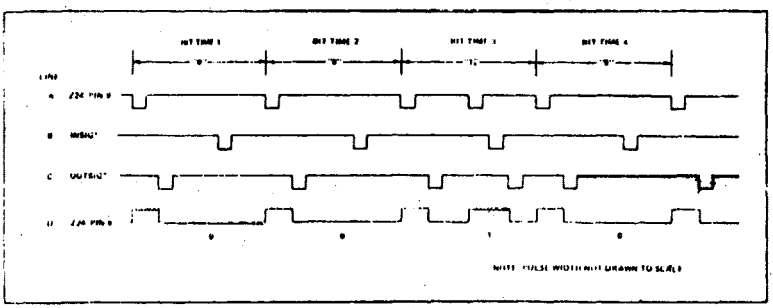


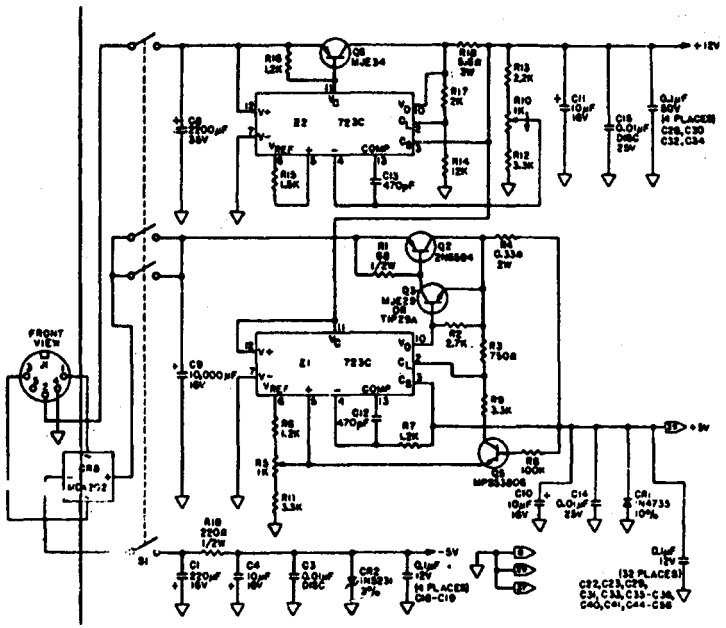
FIGURE 12. 資料栓閂定時

在PIN 11，此正反器爲“ SET ”，如果PIN 8爲LOW，而PIN 11 H HIGH，則正反器爲“ RESET ”正反器被匣式資料所SET而被OUTSIG所RESET，Z-44檢查從INSIG的命令報告Z-4的情況。

此爲在CLOAD作用之後，它是如何工作的。當CLOAD經由鍵盤而進入，OUTSIG將變LOW，開始記錄器的馬達，由脈衝PIN 13 LOW而重置Z-24。Z-24，PIN 9首次變LOW，第一個BIT時間開始，此可在圖12 LINE A看到。LINE D當PIN 9變LOW時栓門的輸出變成HIGH，OUTSIG在一短時間的延遲後變成LOW，請看LINE C，此訊號將重置正反器請看LINE D，一OUTSIG回到HIGH時一短時間，CPU將測試Z-24，PIN 8的情況被啓用Z-44。LINE D在此時亦是LOW，CPU認識一邏輯“ 0 ”在BIT-TIME數位時間，1，請看在LINE D下的0符號，下一時間，LINE A變LOW，爲BIT-TIME 2的開始，在Z-24，PIN 9的LOW，SET正反器，OUTSIG在一短時間後重置（清除）正反器，INSIG於是啓用Z44及校核正反器的情況。CPU又看到一個0，所以BIT-TIME 2爲一0BIT。在LINE A上，下一個LOW，開始BIT-TIME 3，它SET正反器，經一短時間之後，OUTSIG清除正反器，在INSIG能測量情況之前，另外有一LOW是從成音處理水準檢知器SET正反器，現在INSIG變LOW校核情況。被發現Z-24 PIN 8爲HIGH，CPU標名的BITTIME 3爲一“ I ”，現在CPU應在BIT-TIME 4開始之前清除正反器，LINE C爲一加上的OUTSIG脈衝，去清除Z-24。正反器爲清除並留在清除位，直等到有下一LOW在LINE A上重新SET正反器，CPU找到BIT-TIME 4包含一0，此RET/RESET手續繼續下去，直等得CPU已讀過程式的每一BIT-TIME是早先儲藏于磁帶內的，這是CPU的責任以組合BIT-TIME到資料字程式內的字，兩儲藏程式到RAM內，在CLOAD作用時，CPU是極忙碌的。

系統電源供應（附圖） TRS-80須要三個電壓水準；+12V的在350毫安：+5V在1.2安培，及-5V在1毫安+12V及-5V祇有系統RAM才需要，但+5V是均需要的，+12V及+5V的供給是穩壓且有短路保護裝置，而-5V供給並無前面兩種來的嚴格，祇用一單瑞納二極管作穩壓。從一UL保證的"AC接續器上降低AC電壓以供給到所有的穩壓器電路。

交流（AC）接續器 AC接續器在計算機及TV遊戲機時用是最大的式樣，在塑膠盒內爲單一變壓器，一個初級圈及二個次級圈，初級圈設計作120 VAC工作，可工作的範圍爲105到135 VAC，注意，在初級圈有



一保險絲以達到UL的規格。

次級圈均爲中心抽頭式，一個次級圈規定在14VAC時爲1安培，此一線捲作＋5V及－5V供應。另外一個次級圈有二極管連接到輸出19.8V的約350毫安。此電路作12V的供應。所有電壓輸出及中心抽頭均帶到POWER輸入（ J1 ）插座。

＋12V電源供應 ＋12V電源供給未穩壓的直流電壓，輸入到（J1）的PIN 2上。當電源供給開關S1關閉時，C8作電壓的濾波，總結果約爲20V，此電壓加到Q6及穩壓器Z-2，圖13爲一723穩壓器1C的內部線路的簡單線路圖，由圖13能幫助我們作穩壓器工作的討論

從接續器及C8經濾波的DC電壓加到Z2的PIN 12及串連經過的電晶體Q6的射極，電壓加到PIN 12讓一個固定電流源供給瑞納電流Za，Z2的PIN 6將要輸出一瑞納電壓約7.15V，PIN6接到PIN5，正端輸入到運算放大器Zb，負端輸入到運算放大器連到R10的轉動臂上。開始Z2的PIN4是接地，使得運算放大器Zb的輸出約7.15V，電晶體Qa導電，此再使通過電晶體Q6導電，通過電晶體供給電流檢拾電阻器R18及電阻網路R13，R10，R12，如果R10調整到在接觸點上爲7.15V，則運算放大器將平衡，則Q6祇輸出足夠的電壓以使迴路穩定。如果輸出電壓低于12V時，Zb的輸出將降低，此能強制穿過Qa的電流降低，Qa將使Q6增加其穿過的電流，而輸出將回升到12V的水準，如果12V線路電壓上升，運算放大器將使Qa的電流增加使得Q6降低。

在圖13電晶體Qb用作保護強力電晶體Q6以避免過電流損壞，如果R18降落過份電壓，以使得在電阻節點Z2，PIN2到達12.6V Q6將接收Qa的命令，當Qb導電時（ ON ），Qa不導電（ OFF ），此開始使Q6不導電，在Z2 PIN10的電壓，應當到達14.7V，在Qb接受Qa衝電之前，在PIN10的14.7V意義爲12V供應已到達它的最大設計電流480毫安，如果一短路發生在12V供應的二端，Qb將工作，強制Qa關閉，以Qa不導電Q6的基極，因爲R16昇到輸入電壓的水準，Q6折斷

此供應，預防燒毀器材。若將短路移掉後，Qb將會關閉（OFF）而系統恢復正常工作。

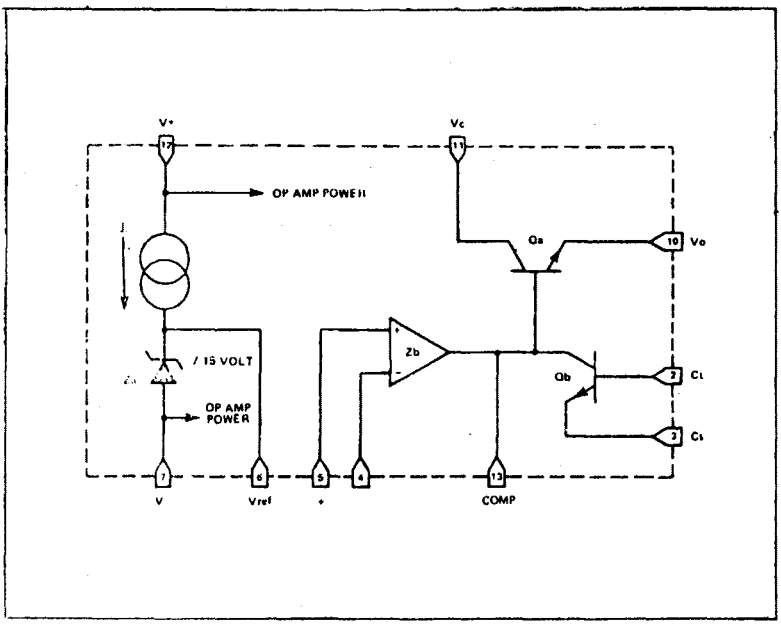


FIGURE 13.

Z2 723 穩壓器方塊圖

電容器C13，連接到PIN 13與4之間爲一頻率補償電容器，它能防止運算放大器迴路、起振盪之用。C11及C15爲供應的輸出濾波器及雜聲排除器、電容器C28，C30，C32及C34是沿12V供應排的散佈電容。

＋5V電源 5V電源亦用723穩壓器供給（附圖），由於電流電壓的需要，有更多的部份品來支持此穩壓器，但是基本的線路工作是一樣的，圖13亦將用于此電路。

爲5V的供給，AC接續器在插座J1 PIN1及3供給約17V的AC，全波整流器CR8整流AC，當S1閉合時，約7 VDC穿過開關接觸點，由C9來濾波。

Z1的電源供給及Za瑞納電流源，在12V部份由R18從穩壓邊取出，在Z2的PIN7通地。但是瑞納的輸出電壓加到包括R6，R5，R11的電阻網路。當R5在供應排上已經調整到5V的輸出時，Z1的PIN5將要變成5V。運算放大器Zb的負性輸入經過—1.2K，R7電阻器接到5V的排上，運算放大器控控Qa，此控制Q3的偏壓驅動，Q3用于處理Q4通過電晶體所需要的更大的基極驅動。Q4的集極接到電流感覺阻器R4，R4檢拾5V排上的電流，以產生像R18所生12V排。

Z1的電路工作完全與Z2相同，如果運算放大器Zb在輸出排上檢驗一上升或下降電壓的情形，它將調整Qa的基極電流。因爲Qa不能直接處理Q4的驅動需求，爲了電流增益Q3是需要的，在電流限制的情形下，Q5拾取R4上的電壓，此却爲排電流直接的作用。當Q5開始導電時，在R3，R9處的節點爲Qb的基極驅動。供應更多的電流，當Qb接到穩壓器迴路的命令時，Qa命令開始割切Q3 OFF。Q3開始使Q4不導電（OFF）而電路作電流限制之用。而限制電流的作用，當跨R4的電壓到達0.6V時Q5開始加入，由歐姆定律告訴我們在此電壓水準的排電流約1.82安培。

C12接在Z1的PIN13與14之間，同C13一樣31完成某些補償的作用，C10及C14爲輸出濾波器及雜聲排除器，然而31只0.01 uf電容器分配電路板的各處以抑制暫態突波。

注意，瑞納二極管CR1在5V排上，此一二極管如果在RAM電路發生災難性損害。用作桿棍電路保護之用若在系統RAM電路有些事情發生

，而造成12V或5V排上發生短路情事，CR1將導電，造成5V排跑到電流限止電路之內，因爲CR1爲－6.2V瑞納，所以它能保護TTL裝備而連接到5V排而被一突然的12V電壓所損壞的地方去。通常地，CR1當沒有電流流過時，將會不導電（OFF），注意，12V供應應該在5V供應正確工作之前正常地工作的，因此，12V電源應在5V供應之前先調整才好。

－5V供應 －5V供應的來源是從整流器CRB的負極端引出。當開關S1閉合時，負性直流電用C1濾波而約－11V加到電阻R19，R19用于瑞納整流器（－5.1V裝置）的CR2作限制電流之用，此－5V電路是能設計的最簡單的電源供應電路，C4及C3爲－5V供應之濾波及雜聲排除電容器，而C16，C17，C18，C19爲完成瞬間抑制作用。

水準Ⅱ的ROM 計算機最大迷惑的事態之一爲它的多才多藝，它能做差不多任何事，所需要知道的是如何去做。祇要簡單的換一個ROM，TRS-80能說任一種較高水準的語言，我們必須仔細去應用。在水準Ⅱ我們有足夠的數學性及符號性的能力，來激發更大更好的東西。TRS-80水準一與水準二惟一的不同點爲有激發及一更大的ROM。水準一祇用4K ROM，而水準二用12K ROM，多出來的8K ROM足夠做許多的工作，如上下文編輯，超越函數，有巨大的數目列陣及串列陣，有更多的系統變數隨你使用，系統的外型並沒有變更，硬體是一樣的，惟一的不同爲在ROM內的機器語言而已。

一水準Ⅱ的機器能從附著于CPU電路板腐蝕邊的分離的ROM電路板來判別。此電路板包含三個4K ROM，一個TTL解碼器，同了一個絲帶電纜，此電纜結縛大部份的ROM在住址輸入及資料輸出通到現在空的主電路板ROM插座去的。再有一4導體的絲帶電纜（綠、棕、紅及黃）從水準Ⅰ電路板而來。此導電器在A11，A12，A13及ROM連接到CPU電路板去。此導電體啓用一水準Ⅰ到水準Ⅱ的變換，在任何一個水準生產電路板上很容易的。

A11 爲所有三個ROM所用的地址。是接到Z1，Z2，Z3第18 脚之上。而A12 及A13 導線跑到Z-4 解碼器Aφ，A1 的輸入，Z4 爲加到主電路板地址解碼器網路的用途。當A12 及A13 爲00時，Z4 的PIN1 變成LOW。

當A12 及A13 爲00時，則ROM A 被啓用。

當A12 及A13 爲01時，則ROM B 被啓用。

當A12 及A13 爲10時，則ROM C 被啓用，（此ROM C PIN3 爲LOW）。

因爲我們想要存取ROM祇是在CPU需要指令的時候，ROM因此送到Z4 其作用如一主啓用，祇有當ROM訊號是LOW時我們才將要選擇ROM A到ROM C。

ROM的電源，少量ROM的定址及資料輸出是由大型絲帶電纜來處理。此電纜的一端連接到ROM電路板的插底上，而另外一端接到Z-31 的插座上。定址及資料輸出由支持水準Ⅰ的同樣電路來處理。

Retro Workshop
果粉工作室

解體 DISASSEMBLY

1. 先將計算機定位，鍵盤往下放在柔軟的表面上。
2. 從機箱底部除去6個螺絲釘，記下它們不同的長度，使得你能確定在正確的洞孔再裝上他們。
3. 將計算機左邊向上，仔細地分離機箱的另一半。
4. 將機箱的頂部拿下來，仔細地舉起鍵盤離開機箱底。
5. 注意5個橡皮墊比作分離二塊電路板，留神他們的位置在什麼地方。所以你更換他們在同一個塑膠稀釘之上。
6. 仔細地舉高二塊電路板離開機箱。
7. 仔細地打開二塊電路板邊靠邊在你工作的桌面上。（圖14）

電源校驗及調整：

如果有電路板已經從機箱內取出，並且已陳列在試驗桌上，連接電源及四週DIM插口。

現在CPU板與它在機箱正常位置作參考爲上下顛倒，記牢，你連接電源DIM插口到電源插座（J1）並不是匣式插座（J3）；電源插座極靠近電源開關者。

在CPU板上及顯示上加上電源，資料可能顯示也可能不顯示那要依靠問題的式樣，目前暫且不要理會顯示，測驗電源供應電壓首先要：（請看15圖）

1. 連接一數位電壓表的黑棒接線(－)到C9電容器的右邊。（C9爲此板之最大電容量）
2. 12V供應測量在R18強力電晶體的頂端所有的電壓（頂端的意思最近電路板邊緣之意）。

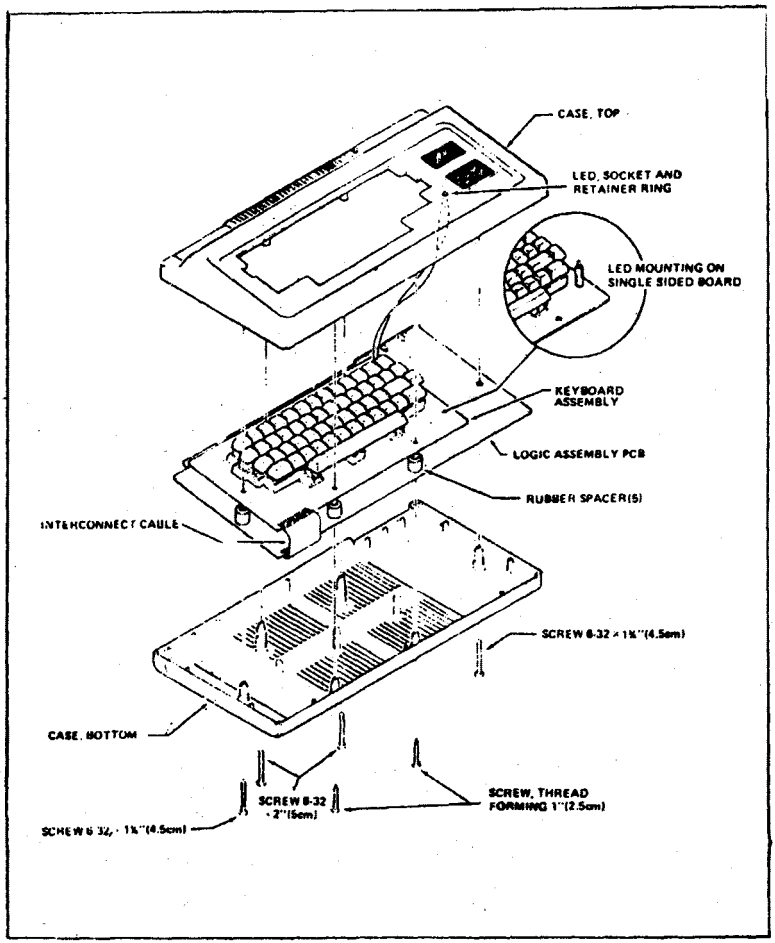


FIGURE 14.

拆開透視

電壓爲12.0V±5%（ 12.6到11.4V ）如果電壓不能在此限制之內時，可調整R10以獲正確的讀數。

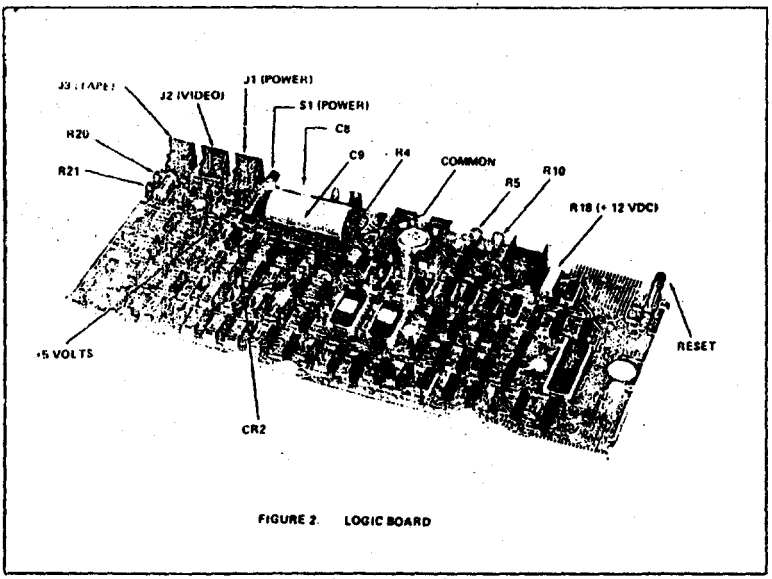


FIGURE 15.

邏輯電路板

3. +5V供應測量在R4左邊的電壓（此一瓦特電阻是位于二個大型電解質電容器C8及C9之間，此電壓應爲5V±5%（ 5.25到4.75V ）如果所測電壓並不在此限制內時，可調整R5以期獲得正確的讀數。

注意：在未測量調整12V供應之前，請勿先調整5V供應。

4. 測量電壓在CR2的陽極，CR2是位於電源開關左面的元件。電壓應當－5V±5%但對－5V電源開關沒有調節設備，如果此供應不能到達在此範圍，你必須用隔離解決此問題，直到一損壞的部份品上找到才休止。

部分隔離法

通常，有問題或訴苦均歸結于某一作用，例如，CLOAD作用時是好的，但當LIST程式的作用時，則在螢光幕上一半的LISTING充滿了錯誤。因爲一半的LISTING是正確的，我們可以假說成音處理電路工作很好。其他的你可能懷疑：

1. 是否爲磁帶上的資料有問題。
2. 爲RAM的毛病引起擾亂輸入的資料。

首先你可以聽一聽磁帶的聲音，有無異狀，或可試圖載入一試驗程式而試RAM是否能正常工作。隨便試那一法均可幫助我們獲得些此故障的線索。依此線索分離電路縮小範圍，最後才能找出故障所在部位，可能一部份的損壞，或爲線路連接的開路短路所造成。

有一個部份隔離法最艱難的問題是：在電源剛加上時，整個畫面充滿誤錯。（所有顯示的文字位置上充滿了文數字及圖形）

當你讀過前面“工作原理”部份時，不是知道當機器在電源加上時CPU要作一起步手續的工作。此一雜亂情形”是由於CPU衝撞到任何一個其他的常式，偶然碰到後而將此起步常式旁路所引起。並且不幸地，一“雜亂情形”並不老是指示爲加上電源邏輯部份的故障，問題可能存在于RAM，ROM，視週除法鏈或CPU本身。因爲一個問題可能存在于計算機75％的機件內任一元件的可能性，故障找尋表均像一棵棵倒繪的樹木，越分越多。

那我們找尋故障從什麼地方開始呢。有人說你可以從容易換置的東西來開始着手，例如積體電路：RAM，ROM及CPU等等，但若問題祇爲一接線短路，則更換所有的東西始終毫無幫助，這不是浪費了時間嗎？所以第一步先測量電源電壓＋12V，＋5V，－5V是否正確，以後依照此間所介紹你的部份隔離法去進行。它是依靠移除技術，將懷疑單上的部份逐項消除以達成檢修的目的。

部份隔離流程圖：

圖16爲 “BY PART REMOVAL”用“移除部份品”部份隔離的

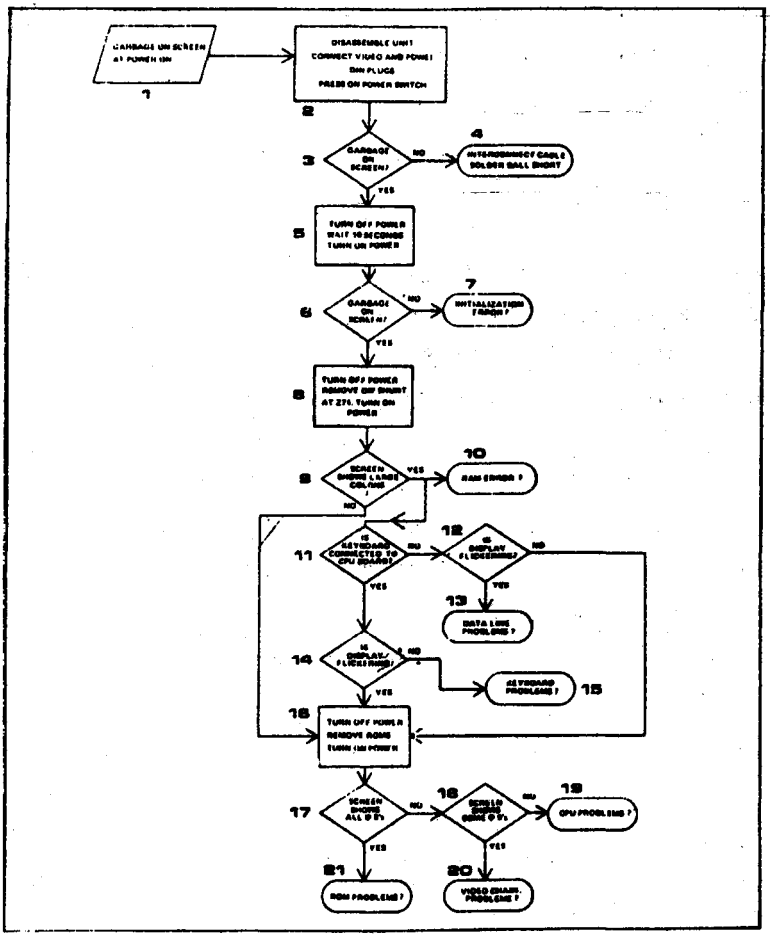


FIGURE 16.

部份隔離法流程

流程圖。你的開始手續寫在左上角方塊 1 的平行四邊形之內，此爲前面所討論的問題。“加上電源畫面雜亂”方塊 2 指導你將機解體後，再將視頻及電源輸入。方塊 3 爲一判斷方塊。現在你的螢光幕有沒有雜亂呢？如果沒有了。方塊 4 告訴你去懷疑在鍵盤到 CPU 板之間的內連電纜有否短路的發生。或許你可能在機器解體之時將短路的桿珠不經心碰落，或許現在已沒有短路跡象。再仔細的檢查內接電纜有無短路導體。在解體時有否任何物體掉出來？如此祇用將機分開的手續即能將計算機修好，實在太快了。現在再試一次，在方塊 5 先將電源關掉，等待約 10 秒鐘後再加電源。此一延遲繪起步邏輯一清除的時間，假使現在方塊 6 ，在螢光幕上有一“READY”字幕出現。由方塊 7 的指示可能你現在有一有關 S2 或 C 42 之間的問題發生。

在方塊 8 指導你在 Z71 上移除 DIP 並聯（ X71 ）。在 X71 移去後，則 RAM 並不電子地接在系統上，當電源加入後，ROM 及 CPU 開始交談，但沒有資料進出 RAM。螢光幕的圖案爲 16 文字線各 32 行，如果 CPU 呈大的冒號。你可能有 RAM 問題或鍵盤式的問題。在方塊 11 到方塊 15 將幫助隔離此等式樣的問題。在方塊 12 及方塊 14 內所寫的，如有二個冒號：顯示，一個顯示爲穩定，另一個當 CPU 時中斷視週定址之事而螢光幕出現空白，或燦閃不定。再依鍵盤的情況以判斷，你可能有資料線或鍵盤的問題。

下一個步驟在方塊 16.，移除 ROM，現在 CPU 沒有自 ROM 來的指令，在螢光幕上所看到的爲充滿了“@9”二字，在此時，用 64 文字格式顯示。當 VID 繼續地存取現週 ROM 時，顯示將燦閃。

假使你在螢光幕上得到“@9”字幕，你可能有一 ROM 故障。如果沒有“@9”或能看到部份“@A”，你可能有視頻除法鏈，或視週 RAM 問題。如果你仍舊有雜亂畫面，如非 CPU 故障則爲有其他東西使 CPU 不作用的緣故存在。

如你能看到，在前面部份品移除隔離技術有太多的可能，問號等，而“WHAT IF”是試著告訴你“我全部時間不能工作”你可能有 ROM 問題

，但得到大型冒號：。你能得到“@9”及繼續有CPU錯誤。但有總比沒有好，能使處置有一着手點。

訊號情況（作用，穩態，或飄浮）

在正常的檢修技術召喚一壞的訊號線作輸出到輸入的掃描，換句話說，當找到一壞的訊號時，則將電路倒回去跡尋以找回正確的訊號爲止。在好的輸入線與壞的輸出線之間找出壞的部份品，我們將要用此回頭跡尋方式在機內隔離有故障的部份品，但是，我們並不想分析輸入及輸出，除非我們是剛巧在那好的進了壞的出的那一點接骨點上。那末大部份的時間我們在作什麼呢是核查活動或訊號水準的情況如果它有時作用有時無作用，則它必爲飄浮了。

作用（ACTIVITY）的定義爲任何邏輯轉變從高到低或從低到高，例如，在振盪器緩衝器Z-42，的PIN6輸出上，總是有作用的。在此脚上有一固定的輸出波列，訊號擺動差不多從地直到超過3V繼續電波。

穩態的定義爲一邏輯1或一邏輯0例如，Z40（CPU）PIN16有一穩態邏輯1在。由R50電阻器提高，另外一例爲邏輯0在Z-56，PIN6及7上，而CPU Z42時基除法器上PIN8，因爲有R67通地，所以始終爲邏輯0。

飄浮（FLOAT）定義爲訊號水準在穩態邏輯“1”與邏輯“0”之間。CPU，ROM，RAM的資料及地址緩衝器全爲三態裝置，當三態形的部份品“無用”或“不選擇”時，則輸出可能爲一飄浮情況，在一飄浮情況下輸出將有系統雜聲閃爍雜入，雜聲的平均水準將得如一1.5V的電壓，TTL裝置定義一邏輯0爲等於或小於0.8V一邏輯1的定義爲電壓水準等於或大於2.4V，任何一電壓在此二水準之間將認爲飄浮。

一飄浮的訊號可用“手指試驗”來判斷如果一手指放置于一飄浮訊號之上，則此訊號的波幅將迅速地增加，雜聲層模當然不增加，雜聲層模將

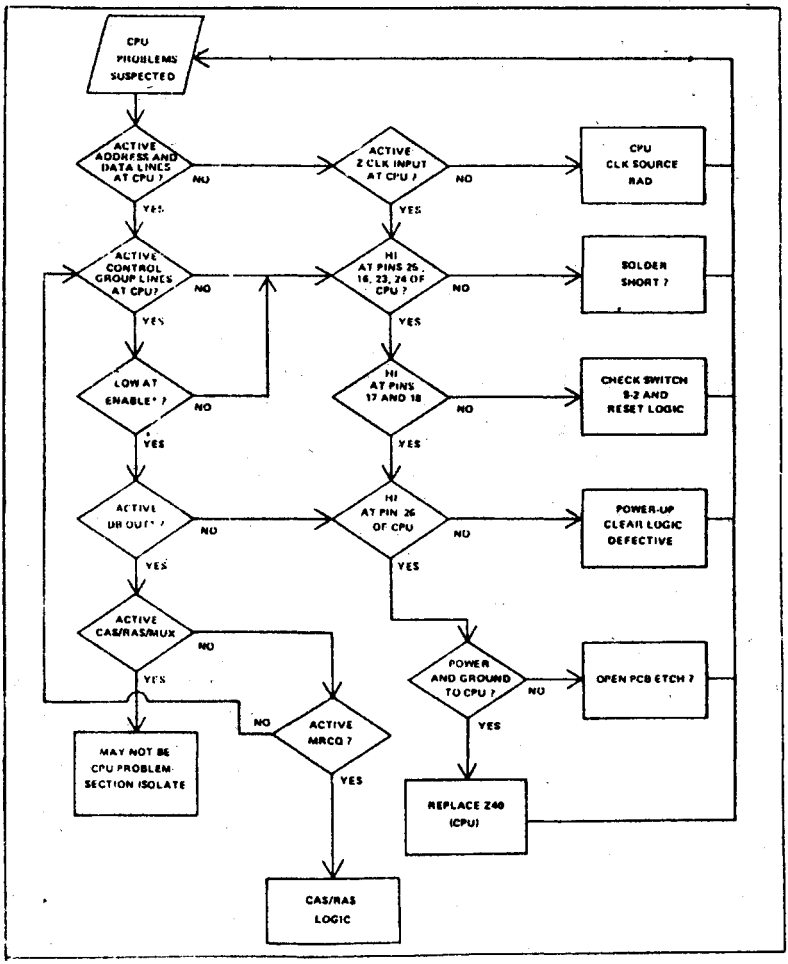
有一平均1.5V或更多。如果使一資料輸出脚與插座脫接而測量時，它將無雜聲層樓可能看起來像一邏輯LOW。

一快速接脚上用手指試驗將能使雜聲層樓迅速的增加，在二種情形下接脚都會飄浮，但是當接脚不與插座連接時，則ROM失掉它的雜聲來源而看起LOW，故手指供應一新的雜聲來源。

CPU 此CPU的問題並不是說Z-40（Z-80）爲不工作。它祇說在地址及資料緩衝器，控制群CAS／RAS定時，或支持CPU的裝置部份可能有困難，如果你想到你有在此等裝置之一問題時，你可用一早知良好的CPU換Z-40作快速校核，但時常發生有問題存在于另外一個地方。所以並不要就因爲Z-40它是在插座內很容易拔出來更換，而硬說它最容易發生故障，這是不眞實的。

圖17的流程圖表可能幫助你作CPU的檢修。

此圖表的主要目的，是能幫助你快速地找到一訊號此訊號應當作用的但是却並不。此圖表的主要流程是在圖的左邊，如果在地址線沒有作用ACTIVITY，你可立刻分叉到CPU支持群中去找尋，爲什麼原因要對地址線的輸出的外型要付出特別的注意。任何一三態觀看訊號的含義爲地址線間電位的短路（POTENTIAL SHORT）而資料線間剛相反。此等訊號可能作用，而作用態間可能有飄浮成份，因此資料線間短路。如果你禁用CPU需要作短路檢查時將Z-40，PIN25通地（或R58的一邊，看那一個方便就可採用）此時地址線將飄浮在CPU邊。若用示波器來找尋恐怕很困難而地址緩衝器將爲三態，在資料線方面，則輸出資料緩衝器將禁用。但到CPU輸入緩衝器將被啓用。因爲輸入到此等緩衝器屬人飄浮。但輸出將多變成HIGH。你可以在每一輸出上校核是不是高，如果你想瞭解緩衝器的工作的話。在飄浮輸入處注入一TTL訊號，而在相關輸出端觀看此訊號。你可從視頻除法鏈有許多訊號來源可供選擇，你且應看到你的注入訊號的作用並沒有任何飄浮成份。如果一個輸出看出有一飄浮的情形，觀看在CPU邊與另一資料排輸出的短路否來決定。


CPU PROBLEMS SUSPECTED
ACTIVE ADDRESS AND DATA LINES AT CPU ?
NO
YES
ACTIVE Z CLK INPUT AT CPU ?
NO
YES
CPU CLK SOURCE BAD
ACTIVE CONTROL GROUP LINES AT CPU ?
NO
YES
HI AT PINS 25, 16, 23, 24 OF CPU ?
NO
YES
SOLDER SHORT ?
LOW AT ENABLE* ?
NO
YES
HI AT PINS 17 AND 18
NO
YES
CHECK SWITCH S-2 AND RESET LOGIC
ACTIVE DB OUT* ?
NO
YES
HI AT PIN 26 OF CPU
NO
YES
POWER-UP CLEAR LOGIC DEFECTIVE
ACTIVE CAS/RAS/MUX
NO
YES
POWER AND GROUND TO CPU ?
NO
YES
OPEN PCB ETCH ?
NO
ACTIVE MRCQ ?
YES
MAY NOT BE CPU PROBLEM- SECTION ISOLATE
REPLACE Z40 (CPU)
CAS/RAS LOGIC

流程圖

ROM 與ROM有關連的問題能夠歸納三方面。①定址②資料③積體電路的被選用問題。

定址問題是與跑到ROM插座上的開路，短路地址線有關。早先電路板的式樣可能在焊接邊有跳接線（ JUMPER ）的變化。看有沒有斷裂，有沒有鬆脫。並且亦能有因抖動而部份損壞ROM在其插座中。地址線應該在IC上校核。通常每一線上均應有作用。你亦能用在CPU部份TEST訊號去禁用（ DISABLE ）地址線，而觀看在地址排上有無短路發生。

資料的問題有二種：第一種爲不能修理性的在ROM內部的BIT錯誤。校核和包含在SCOATS程式能立刻證實此事實，如果ROM在作SCOATS載入時問題太嚴重，一更換ROM的試驗可能有效，資料問題的第二種爲在資料輸出有短路及開路發生。如果你移除DIP並聯Z-3。ROM呈三態而你可以在資料脚可校核一飄浮態。

IC選擇問題常與ROM或MEM相關，ROM爲一二塊ROM作IC選擇之用；而MEM爲ROM／ROM讀時能控制資料緩衝器之用，你能從DIP並聯Z-71上得到任一訊號，你能校核DIP並聯得正確的程式規劃跳路線。機器所用的DIP並聯式樣在程式規劃時在短路條上容易產生裂痕如果並聯的塑膠部份品損壞時則金屬裂痕極容易發生。

RAM 當心當處理RAM時應當心，希望不要因爲它們的靜電充放電作用而損壞他們自身。避免用手接觸IC脚，搬運時用金屬錫片短路所有IC接脚等預防知識不可不知。RAM問題的檢修時少微困難在定址不同之外RAM應如ROM一樣地校核，如可能時用SCOAT去發掘記憶體的錯誤。同時，你必須要校核跑到RAM內的三個電源供給電壓。－5V，＋5V及＋12V，保證在RAM上的所有電壓全已加上。同時再校核不良的RAM插入未插入插座或因裝載震動使RAM鬆動，校核RAS，CAS及MUX三訊號跑到RAM及多工器的活動。保證所有指明地址眞的跑到多工器去，RAM大部份存在着在4K變爲16K後的問題上。當然DIP並聯Z3需要正確地程式設計配合系統所用的RAM量去工作。如果你有一RAM問題，而系統

並未載入SCOATS常式，你可以用已知良品更換8個RAM如果毛病就好，那就好，現在開始更換你的標準RAM，用你拿出來的部份品一個一個換。在每次更換後，加上電源，去看看如果你仍然有一個“ READY ”繼續此手續直到你隔離到一壞的RAM爲止。（不出現“ READY ”）

地址解碼器（ ADDRESS DECODER ） 一問題在地址解碼器部份將可能指點你是方向在記憶體，例如，假使ROM永不用ROM未定址。你要想到你有ROM的困難，因此，如果你懷疑記憶體位置之一有故障，要牢牢記住，地址解碼器爲記憶選擇的來源，送到不同記憶體內的選擇輸入應爲你校核的最先的一件東西。地址解碼的失敗時常爲相關較高位的地址線之一的故障才造成。你當該在Z-21的輸入檢查作用，對Z-21的PIN2及14付于極度的注意，Z-21的輸出亦依靠在DIS並聯Z3上短路夾的情況。記牢，你不能隨便試驗一開集極輸出電路，除非要有一提昇電阻附著其上。

如果Z21及DIP並聯看來很好。看看其他輸入的作用，例如，A12及RD，可能CPU全部時間始終定址于一個記憶體。如果爲鍵盤記憶器此恐爲極度眞實的，如果CPU想到有一鍵被按，它可能將其自身鎖在環LOOP中，嘗試去隔離一幻影鍵。

鍵盤KEYBOARD

鍵盤的困難常在機械部份穿孔鍵帽，反跳的鍵及一破壞的內接電纜是時常遇到的，在鍵盤矩陣上有短路時常容易地檢查出來的。如果你發現一文數字顯示在“＞”（大於）號之右當電路板在工作時此一特殊的鍵可能短路。一完全“死的”鍵盤可能因爲缺少電源，一斷裂的內接電纜。或地址解碼器並不能供給KYBD訊號。如果你有一彈力弱的空間條（ SPACE BAR ）彈簧，用一3盎司彈簧去更換它。如果它仍舊呈膠著狀態，如果沒有塑膠後座，那能造成彈起無力，試將彈簧拉一拉開可給彈簧更多彈力。

如果你拿起一穿孔的鍵帽而找到撕裂皺縮的開關，請勿弄損整個鍵盤更換接觸點。以下爲一更換接觸點一步一步的手續。①將機器解體②移開鍵帽及鍵帽鐵芯③拿出彈簧④不要焊接從電路板來的接觸點。必須使接觸

端實際上是自由的（穿過電路板的突出部份）當你工作于雙面電路板時此屬重要。⑤注意各式樣接觸點的位置，手指接觸常在右邊。將鍵盤指向一正常的位置。⑥用一副強固的長鼻鉗，將二種接觸點從塑膠基底上拉出，細點的長嘴鉗通常不能良好地夾住薄的接點來提取。⑦插入一新的接觸點座在工具內＃773-10000或＝773-10023，必須二個接觸手指面對面才可以以。⑧插入工具用新的接觸點到鍵的基底，堅固地壓下鍵底直等到其安位停止處，保證電路板不放在硬表面上，因恐工具將壓制接觸點端穿過電路板。⑨抽出工具，校核新的接觸點是否在適當位置，而焊接點展開穿過電路板到另外一邊。⑩焊接接觸點更換彈簧、鐵芯，及鍵帽，檢看各鍵是否正常工作（附圖）。

記　　述	製造廠編號
標準鐵芯	171-40103
固體接觸點	173-30052-2
分離接觸點	173-30053-2
3盎司彈簧	173-10012-4
2盎司彈簧	173-10012-2
金屬插入工具	773-10000
塑膠插入工具	773-10023

中連電纜

當更換中連電纜時，應該正確地置放電纜。插入接觸點從電路板的頂部插入，將接觸點彎90°配合二板之間的洞。接觸點的摺縐必須面對電路板。

留神：以接觸點摺縐面向上，則有壓力加到塑膠中連電纜及接觸點上，當電路板是裝在塑膠箱上，所以當下次重新安置電路板時工作應極度注意留神。

視週除法鏈

在視週除法器鏈內的問題，通常將連顯示的穩定度在內。損失垂直水平參考頻率。有些時候能跡尋回去到損壞的計數器，或壞的重置閘。因爲系統主時基，振盪器是包括在此部份。非活性系統檢修能在此作一結束。

因爲視頻處理器用的大部份的參考及定時訊號產生于除法鏈，大部份的（並非全部）顯示的困難處能隔離到此部份。爲了顯示的垂直捲動及水平小點這是特別眞實的如果水平垂直參考頻率並不送到同步處理器，於是此問題一定是一除法鏈紊亂。

SIGNAL NAME	SIGNAL SOURCE	SIGNAL FREQUENCY	DIVISION RATIO	COMMENTS
UDRV	Z32 Pin 11	60.00 Hz	177.3517×10^3	Vertical Reference
R8	Z32 Pin 8	60.00 Hz	177.3517×10^3	Character "Row"
R4	Z32 Pin 9	180.0 Hz	59.11722×10^3	Character "Row"
R2	Z32 Pin 12	360.0 Hz	29.55861×10^3	Character "Row"
R1	Z65 Pin 12	660.0 Hz	16.12288×10^3	Character "Row"
L8	Z12 Pin 11	1.319 kHz	8.067550×10^3	Character/Scan Line
L4	Z12 Pin 8	2.639 kHz	4.032247×10^3	Character/Scan Line
L2	Z12 Pin 9	3.959 kHz	2.687825×10^3	Character/Scan Line
L1	Z12 Pin 12	7.917 kHz	1.344082×10^3	Character/Scan Line
HDRV	Z50 Pin 11	11.835 kHz	671.9987	Horizontal Reference
C32	Z50 Pin 8	31.670 kHz	335.9993	Character Column
C16	Z50 Pin 9	63.340 kHz	167.9997	Character Column
C8	Z50 Pin 12	110.840 kHz	96.00414	Character Column
C4	Z65 Pin 8	221.69 kHz	47.99991	Character Column
C2	Z65 Pin 9	443.38 kHz	23.99995	Character Column
C1	Z43 Pin 7	886.756 kHz	12.0003	NOTE 2
Chain	Z43 Pin 9	886.756 kHz	12.0003	Divider Chain Input

NOTES

1. All Frequencies and Division Ratio calculated using 10.641099 MHz (Master CLK Frequency [−0.03% error]).

2. Signal Frequency shown is in 64 character format. Will be held low in 32 character format.

FIGURE 18.

除法鏈訊號頻率表

在此鏈內要校核最重要的測試點爲 60 Hz 在 Z32，PIN 11 上的輸出，用一頻率計數器，如果 60 Hz 是在此脚上找到則此鏈可能工作得很正確，如果不是，離開鏈，回到振盪器，直等到正確訊號找到爲止。

圖 18 爲一希望在每一鏈輸出脚上能夠獲得頻率的圖表，少微的頻率的誤差應當允許的，此圖表是用標準生產式樣單位而工作繪成趨向緩慢地偏後 0.03％，而除法比值行內，爲主振盪器需要被除以幾的因數，爲了要計算訊號頻率，例如，假設你在 Z42，PIN 6 測量到 10.64100 MHz，於是 L1 的頻率爲 10.64100 MHz 被除以 1.344082×10^3，等於 7916.93 Hz 這與圖表 18 所列的參考頻率祇 1Hz 的相差。希望有小的偏移，但大的錯誤常指爲部份品的故障所致！

如果你在頻率上移下圖表找到一大的錯誤，直到你能找到一正確的訊號，並不要自動地假說你已經在此點找到不良的部份品，讓我們說，你已差失經過 HORV 的所有訊號，但是 C32 是好的，眞實的，Z-50 可能不良，但 Z66，Z49 及 Z6 亦如此。最好的方法眞實地隔離不良部份品不需要盲目地更換 IC，惟一的方法稱爲（CUT - RUN）剪斷某線再工作（卽隔離之意），首先，從 Z50，PIN 11 開路工作試起，再測試 PIN 11，現在是否作用，如果沒有，更換 Z-50。如果 PIN 11 是作用。焊好你的剪線，再在 Z-66，PIN 5 處剪線，再測試 PIN 11，現在作用了嗎？如果現在起作用，更換 Z-66，如果不是，焊好剪線，而繼續剪線測試步驟，直等到你有隔離到短路的故障爲止。

視頻 RAM 如果你懷疑有視頻 RAM 的問題，你應當嘗試載入 SCOATS 常式，在 RAM 內尋找出 BIT 錯誤時用 SCOATS 常式最有幫助了。如果在測試時產生極多的 BIT 錯誤時，你應當懷疑除法鏈，或是視頻 RAM 定址多工器，若有多數的“ READY ”，“ > ”及文字時，全部指爲 RAM 定址錯誤。

通常地定址錯誤大概爲多工器與 RAM 間短路或開路所造成。訊號在 RAM 輸入地址上的活性，可簡單地用示波器校核。全部地址線，（ Vφ

到V9 ）在64文字格式應有作用，在此等輸入線通常不會有任何飄浮的情況發生。VWR輸入到視頻RAM祇有在CPU資料轉換時才起作用，通常地它將變爲HIGH定位錯誤亦可能偵察顯示部份以找出，在裝入BASIC ROM加入電源後，螢光幕上將有“@9”出現。如果你出現些“@A”仔細地檢查顯示，如果有“@A”在水平列時有遺失情形時，則校核與（ROM）列資料（V6至V9）有關的輸入地址。如果有“@A”在垂直行內有遺失情形時，檢查行（COLUMN）資料（V0至V5）及其相關的地址情況。

當顯示閃爍（像在@A方式）CPU時時中斷除法鏈對視週ROM定址的控制時。如果在此時，你要看RAM的地址時，你能看到CPU的地址在除法鏈的地址內閃爍。此爲正常的情形，在事實上，如果在顯示沒有二個訊號出現時此即爲不正常。如果缺乏地址閃爍，其意義爲多工器並不正確地工作，或CPU地址並未到達多工器上。

如果你懷疑一多工器的開關不正常，則可測試它。首先必須知道進入到多工器的地址線均正確。然後將多工器的PIN1通地，檢查懷疑的輸出脚。此輸出應自除法鏈訊號擲置到CPU地址訊號處，如果它並非如此，則你得到一個壞的多工器，更換它，當然此假設VID因爲某些問題，並不全部時間均保持LOW，這並不是說在此情形下一邏輯的HIGH加到VID上，你能損壞在地址解碼器部份的Z-36。

視頻處理在視週處理部份的問題，範圍很大，從空白螢光幕到失落點子因爲此部份爲一串連式的電路。故通常此故障是較容易檢查出來的，例如，如果你有圖形問題時，你知道祇有二塊IC是用作圖形處理裝置用的，你可立刻看到移位暫存器Z11及圖形產生器Z-8，部份品嚴格地屬文數字的爲文字產生器Z-29及它的移位暫存器Z-10，首先，爲正常的工作先測試電源供給再校核主振盪器的工作。如果均正常移下到Q_1的射極找尋VIDEO，訊號回過頭去工作你的方法直到你找到訊號的活動。不要跑得太遠，你可去看校核文字產生器是否能接收資料。如果如此時，則你的問題已在二點之間了。想想此系統到底能做點什麼。它是否要輸出文數字嗎？在Z-26 PIN8看有沒有活性，如果此點有活性，且PIN6常爲HIGH，你已經剛

消除了某些邏輯。爲什麼Z10能輸出呢？如果它確能輸出，可能Z-30 PIN2爲某些理由被保持于HIGH。可能Z-26，PIN8及6均爲HIGH，這是怎麼造成的呢？Z-27能工作嗎？正反器Z-7是否重置呢？可能LATCH訊號已不再起作用，如果如此，則Z-7及Z-27二者均不能工作。

有的時候去強迫一螢光幕整個充滿資料可能幫助視頻的檢修，放進BASIC ROM，此時CPU將試進入"@9"形態，如果不發生任何意外，你將用示波器跡尋到一容易辨認的圖案。

因爲此部份電路爲串連。此間有幾點可供你作檢修時候的幫助。

① 顯示黑暗，Z-4變壞。如果Z41變得發熱更換它。因爲輸出電晶體已增加它的飽和電壓，所以它變熱。較高的電壓不讓Q基極的訊號搖擺到足夠低，以適合含視頻對同步的比率。

② 失落文數字點（DOT）如果你在所有文字中失落點列（DOT-ROWS）校核跑到文字產生器的線計數器的資料。如果此等線很好。則更換文字產生器，如果你在垂直行中失落點，對Z10校核點的輸入，如果正常更換Z-10。

③ 不穩定／閃爍的點有時Z-10在載入周期時在其輸入端遺失資料。此亦常與熱有關，可否將問題可變得治好或更糟是給Z-10噴一點清除劑如更糟則Z-10必需更換。

④ 失落圖形部份品校核Z8的輸入，如果很好校核輸出。通常，你將有一繞Z-8有一破裂處，試作決定你所失落的，到底爲左邊呢還是右邊。失落垂直細胞部份品常與Z-8相關。如果爲一圖形細胞有垂直條紋指示爲Z11的問題。

⑤ 不穩定／閃爍圖形通常較難檢查，且不像一般不穩定的點般。但是修理法相同，更換Z11。

⑥ 沒有內部文字線遮沒爲Z8（頻率除法鏈）或栓門Z27等問題。

⑦ 嚴重的顯示干擾常不是一視週處理器問題。測試＋5V供給排。如果你有示波器，可看出爲什麼在12V供應上的C12，C13尚未工作。

⑧ 併字錯誤：一個系統而併錯字則在視週RAM常有資料紊混的情形

，或資料到文字產生器Z-29後跳栓門Z-28被短路或被損壞品所抓握。

同步產生器 像同步產生器部份是最容易檢修的電路，如果定時參考跑到Z6及Z-57。有一簡單的步驟來幫助找尋，你的訊號失落在什麼地點。在調整電位器R 20或R 21可能有問題存在。過度的熱將損壞此等部份品，C 20及C 26常是可依靠的，除非他們本質被壓破。你能找到C 21或C 27短路，此等電容器爲曼拉MYLAR塑造。若在緊壓壓力下極容易造成短路。

有關此電路的重要點：Z 6及Z 57爲CMOS裝備。不像TTL，它們爲高總阻裝置耗損極小的電流。在CMOS輸入有飄浮情況時，不必需在示波器中有一飄浮的“顯示”。一飄浮情況可能看成高，或看成低。完全依靠接到輸入的斷裂線上的（CHARGE）充電量而決定的。

甚至於你手指上的電阻跨于一斷裂之處時，開動機器能完成電路工作，使CMOS裝置能工作。當你拿去你的手指，電路工作可能極緩慢地停擺，此因電路板上裂口處的逐漸放電所致。

地址解碼器續談 因爲地址解碼器是由閘造成，當你找到問題時是極容易修理的，其困難的部份爲是什麼時候才去懷疑在觸碼器部份有了故障了呢？部份隔離法要求地址解碼器至少要部份地工作。不幸地，此間沒有“剪斷試驗”法來決定此部份是否正確工作。當然，你能檢查每一輸出，去察看它們的反應。但是你實際上不能確定此訊號當看到它時，眞是應當在那裡所期望的訊號嗎？

例如：你看到ROM及MEM工作，但是你不能眞的確定此地址指的是ROM嗎？要確定ROM祇有二個方法，ROM設想是在輸出，同時它們是：

① 看看跑到解碼器內所有的地址線，請你幫他們解碼。

② 用機器語言或靜止地址開關強迫CPU到一早知的ROM程式環內（LOOP），無論如何此二建議看來均不可能被允許。

通常一個地址解碼器故障，將要禁用另一部份的一個，如果你在加上電源時得到一“READY”在螢光幕上，但尙沒有鍵盤活動。KYBD是極

容易用以查驗作用的，現在我們假設在KYBD的解碼器若爲不良品，但現在在其他部份沒有重大的問題。因爲我們已經得到“ READY ”。

相同的假設亦可供給到無論何時，在我們對計算機加上電源，但並沒有出現“ READY ”文字時，却給我們一個可辨認的圖案，在部份隔離法時可用。例如大型圖號：顯示。你知道如何去產生大型圖號：顯示嗎？拉出DIP並聯器Z-71。因此你有大型圖號：用Z71安放好後，DIP並聯到底出了什麼事了。如果他看來可以，去找出爲什麼RAM不起作用。可能DIP並聯Z3不能工作。

當作地址解碼器工作，有一重要的閘門需要認識，Z-73，PIN6。如果你並不能在PIN6獲得活動。則整個的解碼器將混混了。Z-73，PIN6啓用Z-21此裝置檢查A12，A13，A14。如果Z21永不導電，則地址解碼器將絕對地死去。Z-73，PIN6應該爲在此部份你最先要測試的一個訊號。通常在PIN1假使缺少RAS，將害死Z-73，爲一LOW輸出A15及RAS亦應LOW。

當你來回在解碼器的輸入部份時，你應當測查地址線的活動，如果你在與迷失的CPU作戰時，你可能找到某些訊號看來又像0又像1。一地址線的穩態可能領你遠離地址解碼器，所以你頭向着CPU，追逐一祇存在于CPU混亂之時的問題。可按下重置按鈕而檢查穩態地址線訊號，你將看到一些脈衝流過探針。至少你應當知道某些東西將要出來，而你不是要轉移目標。

重置開關可當良好的測試來源來應用，當你看到解碼器的輸出，在重置時，CPU是想像中的變成極爲忙碌。它必須校核ROM，填塞資料到RAM，清除視頻及檢查鍵盤。按下重置開關，某些東西應該輸出在所有的解碼器輸出處一至少暫時的如果你仍舊面對着一穩態HIGH，在一解碼器的輸出，爲了重置常式可能ROM永得不到來源。

看出來當測試Z21的輸出沒有DIP並聯Z3裝置。記住，Z21爲一開集極解碼器裝置，沒有Z3，則提昇電壓並不存在的，你可能在此等PIN看不出任何東西，除非你將此等PIN提昇到Vcc後才可以。

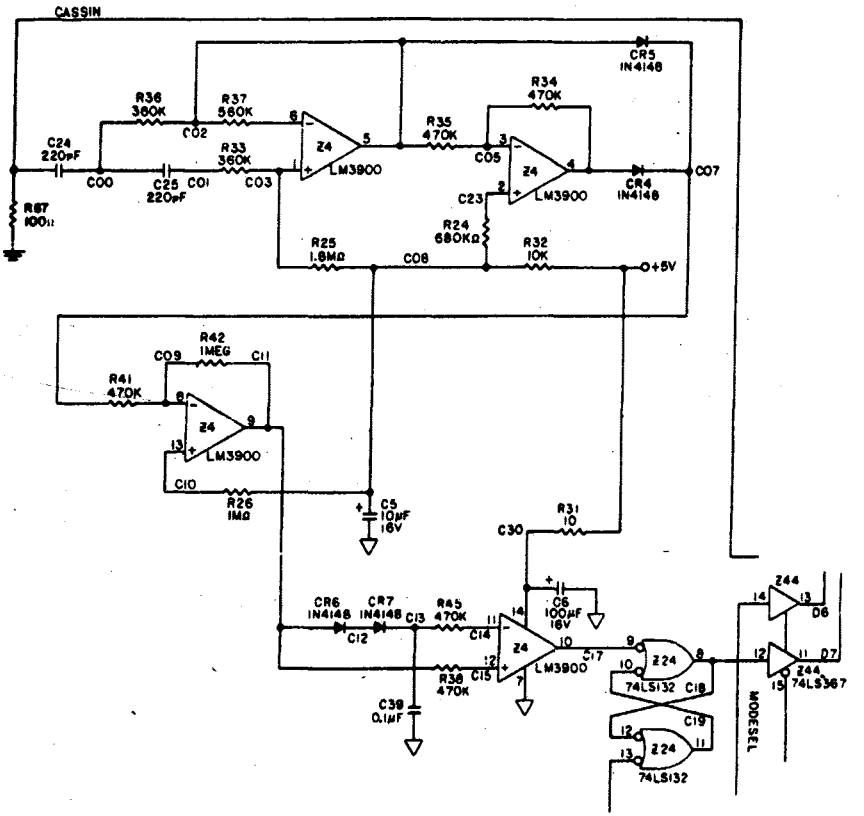
匣式錄音機的問題 你能夠找到在這一部份最大的困難是關于錄音機馬達沒有控制，通常K_1（一個簧式繼電器）因爲過度工作將呈金屬倦勞而損壞。在水準Ⅱ機上繼電器損壞尤其實得懷疑，當每次你加上一水準Ⅱ機時則CPU作它漫長的起步常式而繼電器跳到香蕉插座上而使得你每次聽到“勃茲”（BUZZ）聲，電源加上的常式及加入錄音機的使用，均因爲有更有效檔案儲藏常式，使得K_1擔任此一工作。

以免染污起見接觸點應仍保留封固，否則線捲將發生開路或短路情事。繼電器是極容易起換的，但需注意，不要讓發生已經發生過的故障再度發生。要裝回K_1到電路板上亦不會困難，但必須要將在繼電器上的標記符號配合印在電路板上符號（若相反時，Z41，PIN 3將短路到Vcc，並且使Z 41很快地發熱）。損壞到Z-41的繼電器時，將可能使視頻方面停止工作。如果顯示緩慢地白出黑入時就可懷疑一短路的繼電器（或短路的二極管CR 3）。

如果你懷疑K_1咬死，用你的手指重擊繼電器本體，此能使接觸點放鬆而錄音機可停止。不要認爲事情已經做好，最好還是換下此繼電器以免下次用CLOAD指令時再度發生此故障以策安全。

匣式錄音機音週處理 如果你想你已有一匣式錄音機音週處理的問題發生，你可以在Z 4的PIN 10測查有無作用。（附圖）嘗試載入一較長的程式到計算機而檢查PIN 10，它正常時將爲HIGH。而有音頻脈衝時將變LOW，所以當PIN是活性時並且每一BIT時間，至少有二個脈衝，則決能保證Z 4爲健康正常。

但要當心在Z 41的PIN 10有一正常的低訊號，如果你有一活性整流器或水準檢查器問題時Z 4的PIN 10能回頭工作。而輸出將正常地LOW，而在磁帶聲音脈衝時將趨HIGH，此問題常與一（CR 4或CR 5）二極管的短路有關。否則水準檢查器可能因爲CR 6，CR 7或C 39的故障而不能將C 39電容器充滿請在以前第一章原理部份再參考此電路的工作及波形。



如果你在CLOAD故障時能在Z-24 RS正反器上得到良好的資料時，你或許有一數位的問題，查看在Z-24，PIN 8上有無活性，同時檢查在Z-44，PIN 15上有無活性，你最好希望衆多訊號之一有不正確的發現，否則你的麻煩就大了。

當一個CLOAD指令時OUT，重置正反器Z-24，如果Z-24停留在SET上，懷疑Z-25，PIN 8閘門。否則跟著OUT回到它的來源地。如果INSIG混亂。檢查Z-25，PIN 6，跟著IN回到它的來源處，如果此二種

訊號看來奇怪，檢查輸出入口解碼器，Z-54，Z-52及Z-36此三者併合成FF裝置號碼。

如果所有訊號及Z-44看來很好，可懷疑RAM，CPU或ROM等有問題。如果你用一部早知良好的機器，在一CLOAO的情況下測試INSIG及OUTSIG的定時，作成記錄作他日檢修時的參考，那是極有益處的。

當你認爲有ROM，或RAM或CPU故障時則那些當對你極有幫助的。

一RAM BIT錯誤常發生于CLOAD，當你發現有一半的載入程式是正確另有一半有BIT錯誤時，可用SCOATS常式以挖掘此等式樣的故障，或多作RAM交換的遊戲或能找到故障的部份品所在。

在一CSAVE情況一CPU問題常較ROM問題更常見。這是眞實的，因爲你更關心于想要在螢光幕上獲得一“ READY ”字幕，那比你機器能否工作在CLOAD時更爲重視，如果CPU檢查爲良好，在辨認ROM故障以前你應當再檢查IN及OUT訊號。

CSAVE問題常指出爲軟體（在ROM／RAM內）或栓閂（Z-59）的困難，如果你的機器CLOAD工作正常時。可在錄音機內不用磁帶而試試CSAVE一程式你能檢查插口J3的PIN 5的情況。及輸出音頻波形。如果你缺少此波形，則檢查R 53至R 56間的情況以及在Z 59，PIN 9的OUTSIG波形。因爲Dϕ及D1在CSAVE時用Z-59應用的資料線，必須查看此二線，並且在PIN 1上校核是否爲一HIGH，如果有一焊接短路的地方將使PIN 1呈接地電壓。

什麼是有關32文字顯示格式，Z-59是處理與D3情況相連的作用OUTSIG作栓閂的時基，如果在CSAVE及CLOAD時OUTSIG工作極好的話，可懷疑一損壞的栓閂。並且，Z59，Z14可能短路到地，可用將PIN 1短路到地一到二秒鐘以清除Z59栓閂，如果一顯示從32文字變換到64文字而停留在那裡，可懷疑一ROM或CPU軟體glitch。

如果顯示從32文字轉變到64文字，於是每次回到32文字格式，可短路及放鬆你可能懷疑一損壞的OUTSIG線。爲某些理由，OUTSIG必須全部時間有作用。否則由于一開路銅箔，雜聲可能激勵Z-59。

電源部份 大部份的問題結果損失電源供應將均與焊接短路，部份品短路，及不良電源供應接續器等有關。通常由於短路，不會將電源供應損壞，此因爲穩壓器用摺回 FOLD 電流限止式。一焊接短路或短路部份並不一定要放在電源部份才造成電源問題。此在任何地區桿接短路，均將影響電源。

如果你失落了 12V 或＋5V，跨 R 18 的電壓測量。此電阻器檢取過 12V 供應的電流。如果電壓讀 0.6V 則＋12V 排是在摺回將其自身關閉。（OFF）12V 電壓排被關閉，則你將得不到 5V 供應，因爲 5V 穩壓器是參考到＋12V 的輸出的，所以第一要做的事你必須在＋12 排上找尋及去除短路要爲緊要。

如果你覺得你失落了－5V 的電源時，先要證實在接續器邊的 R 19 上有沒有足夠的－5V 電壓。如果 R 19 降落了所有的電壓。如果如此，你有－－5V 排短路存在。（此假設 CR 2 並沒有回頭放入電路板之意）。

除了＋12V 及－5V 供應系統 RAM 應用外，如果此二電源有一發生故障時，可懷疑有一 RAM 有短路，若發覺某一 RAM，溫度上升極高時，故障即在此。

危險 請不要用手指去測量 RAM 的溫度，若一 RAM 短路而造成的溫度能熱到能焊接的溫度，手指頭碰到了要灼燒起來是痛苦得很的，請勿輕易嘗試。

拉出所有 RAM 而再試驗，如果所有的電源供給現在均正常的話，關去電源而加入一塊 RAM，關上電源再一塊一塊的測試，逢到短路 RAM 時可能破壞電源，降落電壓即可發覺。

但一在＋5V 排上的短路是眞正的頭痛事。除非你能夠看出短路處，否則要將電路板銅泊依照線路逐條逐條割切作部份隔離之測試。當你隔離開短路部份時，你將可能再在此部份內，更加以分割以故障範圍，最後可找出短路處，並不要忘記去桿接好你的割切同時記牢，此等銅箔要載很多電流。用標準銅線（22 號或更大）去修復割切處，並不要冷焊接點，甚要在板上稍加壓力能使焊橋開路或使銅箔撕裂成小支而離開、當心。

如果你找到一個不工作的＋12V排，檢查Q1的散熱器吃緊電晶體否散熱板，及電路板在一起的螺絲釘是否鬆動。散熱片或許可能移位或短路到Q1的基極或射極，依靠推力大小，它或許從電路板剪割去一二根線，如果你看到有鬆動的散熱片，短路或不短路，檢查後再固定它。

AC接續器的問題通常是在座端，不是在初級圈的保險絲開路，就是在公插頭DIM內的接線被損壞了。如果你找到保險絲燒掉檢查整流器封裝CR8看二極管有沒有短路，如有任何故障，更換接續器。

圖19　列出在Z1及Z2在正常工作時的電壓值，＋12V供給已調

Z1		Z2	
Pin Number	Voltage	Pin Number	Voltage
1	0.00	1	0.00
2	5.30	2	10.60
3	5.00	3	11.99
4	5.00	4	6.92
5	5.00	5	6.92
6	7.46	6	6.92
7	0.00	7	0.00
8	0.00	8	0.00
9	0.33	9	5.72
10	5.89	10	12.31
11	11.99	11	21.16
12	11.99	12	21.69
13	7.05	13	13.48
14	0.00	14	0.00
所有電壓用一數位電壓表測量而得，所有電壓在C9電容器的右邊作參考地電壓。			

整到 12.00 V 而 −5 V 電壓亦已經調整到 5 V 。

水平或垂直調整—在同步產生器的部份品更換後或經過其他修理工作水平垂直中心點應當重作調整，送入下列樣品程式。

```
1φ  CLS
2φ  FOR X = φ TO 127
3φ  SET ( X , φ ) : SET ( X , 47 )
4φ  NEXT X
5φ  FOR Y = φ TO 47
6φ  SET ( φ , Y ) : SET ( 27 , Y )
7φ  NEXT Y
8φ  FOR X = 62 TO 65
9φ  SET ( X , 23 ) : SET ( X , 24 )
10φ NEXT X
11φ GO TO 11φ
```

你可載入此程式于一磁帶上數次（爲了容易使用）此在水準Ⅰ及Ⅱ均可以用。

此再中心的程式畫出一大的圖形長方形在細胞陣列的外面邊界，它亦畫一中心長方形。調整R20及R21使對所有大型長方型有相同的邊界。用一非金屬起子，則人體電容量並不干擾到你的調整工作。

它不工作……有時

墨菲定律：“一裝備將正常地工作，無論何時工作員是位于改正錯誤的立場”。或許有一天當你可發現你的機器當置在靠近試驗桌上時，那時工作得盡善盡美，但不過幾天，計算機離開線路圖及測試設備時，則記憶體（LISTING）程式表，看起來像不知道的語言，而當顯示未正常時繼電器仍不能工作，惟一合邏輯選擇是你再燒新的EPROM，建立計算機在某些不用到的角隅，而執行記憶體部份品SCOATS常式。有希望的，數

小時之後，SCOATS將尋根出一病態性的記憶器地址，爲了最大熱量的保存試將單位置于箱內。如果所有嘗試失敗後，將該處的RAM更換掉。如果需要可能更換整個RAM以免提心吊膽于一二BIT的錯誤。如果問題發現在某些其他部份，那裡SCOATS並不見效。嘗試以產生能造成一繼續的故障的程式，當你想檢修一不規則的問題時，惟一的方法是忠實地重覆它失常情形。如果此問題爲一爲視頻部份撞碎部份品FOR／LOOP句語，於是用FOR／LOOP命令于你的程式中。

可能有一冷焊接點，可能突然開路。除了某些之一，當你找到一問題存在，在你用某一種方法彎曲電路板時才發現。如果你能用一非金屬棒來打敲電路板或許能找到不良的焊接點，或許你有一焊錫小粒在機器內未清除出，有時候你可以將板倒放而用力拍拍。如果你運氣好此小粒或將停留在某一匡定的地方，不再有妨礙的事情發生。這就說差不多已經修好了。在RAM插入的電路板刻蝕部份，你可能看出一安裝的錯誤，一插座線脚極容易彎曲，可能此線是在插座架下摺疊，並未插下洞孔。可能有足夠的壓力在線脚上，插座而墊子祇得容許跳動性的工作。焊接點應當光潔，以避免焊接點像錐體或有接線突出于板面。不要將你的視覺檢查限制于插座部份品，此可能找到一彎曲在標準封裝上，當然此不同于一插座彎曲線。

另一式樣的故障可造成繼續工作的爲穿越電容器（FEED THROUGH CAP）的開路，如果你能找到任何焊錫充滿的洞孔，此間焊錫並不全部穿過電路板，板之二面形成一電容器電鍍層可能在洞孔中破裂，而焊錫不能跑過裂隙，在修理時可焊一小段焊錫穿過懷疑的洞孔。當心二面短路。

損壞的穿越電容常不止一個的出現，所以當你修理好一個後，應當心其他的環繞着的穿越電容器一一檢查是否也有損壞。

提示：觀念、建議及……現在什麼？

數位計算機的優點之一，爲基本電路的重覆。有次當你知道如何一基本邏輯細胞如何工作時，整個機器將以同一方法去工作，不管它重覆多少遍。閘門可能不與二吋邊的另一個產生同一式樣的訊號。但是在同一個輯

入情況下輸出的反應是一樣的。

檢修數位產生器的缺點之一爲機器語言軟體。無論按下一鍵，或推出一水準都需要有程式在內幫助。沒有人能不厭其煩地告訴你它如何準確地作成此種步驟。但這一切又都存在于監督程式內，在電路敍述部份我們簡單地告訴你如何鍵盤掃描軟體的工作，但討論總是不著邊際的，現在假使你想到問題存在于軟體，所以你將做點什麼呢？而惟一你能證實你的懷疑的惟一方法爲即刻去瞭解軟體到底在做些什麼？在你能正確地檢查什麼軟體是在爲鍵盤做工作，你將要必須有你的昂貴的邏輯分析器，計算機印刷設備，並且浪費很多時間以推敲程式是如何地工作。除非你願意浪費時間及金錢則軟體程式表列在檢查時能給你任何幫助嗎？

本書此部份將供你提示及觀念，使你面對軟體式混亂硬體的問題提示將呈優點比類位式檢修的缺點要強，而幫助你證實或推翻問題眞的在那裡的懷疑。

曾經多少次你經過一邏輯元件包含資料，而有一一輸出剛坐在那裡，可能太多次，尤其是在像地址解碼器等大地區，那裡你眞的不需要這一種的“ hassle ”，通常地，你接一示波器到閘門輸入，而看有否有輸出情形碰到。如果你有二個閘門輸入及二個示波器通道，則你可以得到。但是你想以此方法分析一8輸入的NAND閘門，你可能要等到白頭髮出來呢！

另一有用的技術，你可以試試，稱爲輸入短路。當面對一不反應的OR閘或NOR閘，短路一輸入到地。通常一通地的短路將不會傷害一TTL的輸出。

如果你有一2輸入的NOR閘，例如，你可將一輸入短路到地，如果此閘門工作正常你應當看到未短路具作用訊號通過閘門，將短路換到另一輸入端，而去察看，另一脚是否能產生輸出的反應。如果如此，你總于得到一好的閘門的機會嘗試回過頭來檢查。

當你需要校核一NAND閘或一AND閘的輸出時，則短路輸入到地，並沒有什麼幫助，（除非全部時間在AND閘時輸出爲高，NAND閘時輸出爲低者例外）並不要妄想短路5V，一短路5V的舉動能損壞TTL的輸出

。如果可能，找到一閘門在路線上極高位置，它將對短路到地有一反應，且將造成一閘門輸入變HIGH，有此情形的例子能夠在線路圖上找到。在視頻處理器部份Z-9，PIN 4供給一反相栓門訊號到Z-26，如果你需要Z-26的PIN 13或5變HIGH，短路Z 9的PIN 3到地即可。你並且也可短路到Z-27的輸入而使得Z-26的PIN 12或4變成HIGH。

如果你嘗試了通地短路的技術，而尚未能得到輸出活動，到底怎麼了呢？好！假設你遇到了所有的輸入需要，你有二種選擇。

1. 這閘門是眞的壞了。
2. 在輸出端有接地，或Vcc短路的可能。

欲迅速校核此二種故障，若有可能，割切通往輸出端的金箔片，再測試閘門。如果現在你能得到輸出活動，則在割切金屬箔端有短路。如果不能更換那封裝，這是壞的（不要忘記用22號銅絲焊妥被割切的金屬箔片）。

如果你懷疑有一短路，分析閘門輸出的電壓水準。一短路到Vcc將約5V而一正常的TTL輸出供一水準約3.7V（此祇能加到TTL，CMOS輸出，在電源供給上搖動祇有幾個毫伏（MV），如果你懷疑－5V 排上去。

一接地短路或一邏輯0短路亦可能以上述方法隔離而得。跟著金箔片追跡割切，部份隔離。

一通地的短路亦可用一示波器來分析。將示波器接到你懷疑短路的地方，將系統電源關閉，而觀看示波器的軌跡曲線，如果曲線不往垂直方向移動，則此爲短路到地。如果曲線移上或移下，當電源移去後，此時金箔可能短路到另一TTL輸出。示波器方法在決定輸出電晶體在一閘門上是否活性亦有用途。

短路的式樣 通常有五種短路，它們是：

① 銲錫濺短路。
② 銲錫球短路。
③ 銲錫髮短路。

④ 腐蝕短路。

⑤ 損壞另件短路。

Ⅰ. 銲錫濺濺短路　可能爲最普通的，此乃由於過多的銲錫，亦或爲不小心的修理技術所引致。一銲接橋可能因爲過多銲錫或太大的銘鐵頭在安裝積體電路二脚之間銲成短路，當銘鐵頭損失一銲泡時才是眞的銲接濺濺，而機器在下面時很容易濺下去。通常一濺濺很容易檢出來。它們是大的，並且冷銲到數根金箔線。

Ⅱ. 銲接球短路　常在工廠剛造好計算機而用戶剛開始起用之時，銲錫球是產生在工廠銲錫機器上，在錫接時，熱蒸氣將蒸發，吹出液體銲錫到板上及空氣中，待空氣部份地冷却銲接後有各式大小品銲錫球卽散落在電路板上。因爲有黏性銲油所以附着在。雖舉行清潔措施，但亦不能一概清除，如果球徑太小或已隱惹，如果不在工廠測試時出現故障而發現時，是很難找出的，在裝配及裝車，或有可能受到強力振動而鬆動到處亂滾，可能滾到插座二脚間，可能滾到二金箔導線間，或許當你一插電卽發生故障，而使工廠有口難辯的受怨。

Ⅲ. 銲錫髮　爲一極細的銲錫絲。它們能短路未塗保護層的金箔片。銲錫髮通常當一銲錫塗上腐蝕用一光銳的工具或一砂紙等磨擦而產生。所受的壓力造成銲錫塗層表面分裂。此種分裂或許由於扑動拖曳而跨過數金箔條。如果檢修時割切金箔片，當心不要割切過份。如果如此做時，分裂銲接大於 22 鋼線重新流動，你突然做在金箔上銲錫割切記號，用銘鐵來熔解注意千萬不要用鋼絨或尖銳工具或做清潔銲接點或途徑，如果眞的需要清潔可以用橡皮用較輕的壓力去做。

Ⅲ. 腐蝕短路　爲在電路板製造時，在電路間有銅移除的不完全。腐蝕短路在當場可以看作生產電路板的故障。熱是用來強迫銅或基本質料熔合，但熱又可以用來將銅提出亦是事實。當銲接時有太多的熱，或讓銘鐵頭停止于一金箔條上，能夠使墊狀物或金箔條滑動。墊狀物不必滑動太遠而致短路到附近電路金箔條。

Ⅴ. 部份品短路　常爲一損壞的閘門或不良的二極管，種類萬千但不

想再在此地多談。在一電源排與通地間的部份品短路常能摺回電源供給。

邏輯短路 二或更多的TTL閘門輸出可能變得短路在一起而開創出奇怪的問題。有某些作用仍可能工作，然後有些就不能了。多數短路的閘門輸出能夠用一沒有一三態裝置驅動的三態式訊號去找尋而辨認。一三態訊號將有眞實的邏輯高或低壓的水準，可能有一地方沿波形找到一電壓水準在高低之間。在一資料線上觀看一標準的三態波形，一TTL輸出屬于一個閘門，如果不是三態性值不能有三個邏輯水準。如果你用示波器碰到一紊亂的波型，可跟隨金箔條走，校核附近的金箔條當你在找尋另外一個紊亂的訊號的時候。當你找出二個不良訊號時，仔細檢查電路板金箔條看有無短路，如果你並沒有找到任何短路，繼續再跡尋下去，直等到二根金箔之一結束爲止。二根金箔可能在電路板的任一處均可以。

除法鍵所用的計數器（ 74 LS 593 ），此種TTL家族漣波產生器有時在資料輸出時有多階層的HIGH呈現。雖然主要脈衝爲HIGH，但是在波形上出現有一或更多的階梯。如果階層並不低于最小邏輯HIGH的水準2.4 V時此種載出是滿意的，通常你將有一個計數器階梯約半伏左右。而最低的階梯永不低于3 V，以上所言對一未有74 LS 93計數器熟悉經驗的技術員來說是講得太深了一點。

地址及資料線的短路

在地址線或資料線的短路是計算機能有的最壞問題。地址排及資料排是跑到每一地方去的，祇需極薄的一層銲錫就能制死一系統全然不能工作。如果有人問到底地址排短路更壞呢，還是資料排短路較更壞，則資料排的短路實在更不好惹。因爲資料線爲雙方向的，每一附着物均爲三態性的，你不可能眞正的將二根短路線與其餘的線分離開來，因爲它們看起來均奇怪得很，而地址排並非三態裝置（有時用緩衝器，但在正常工作時它們不是三態的）。

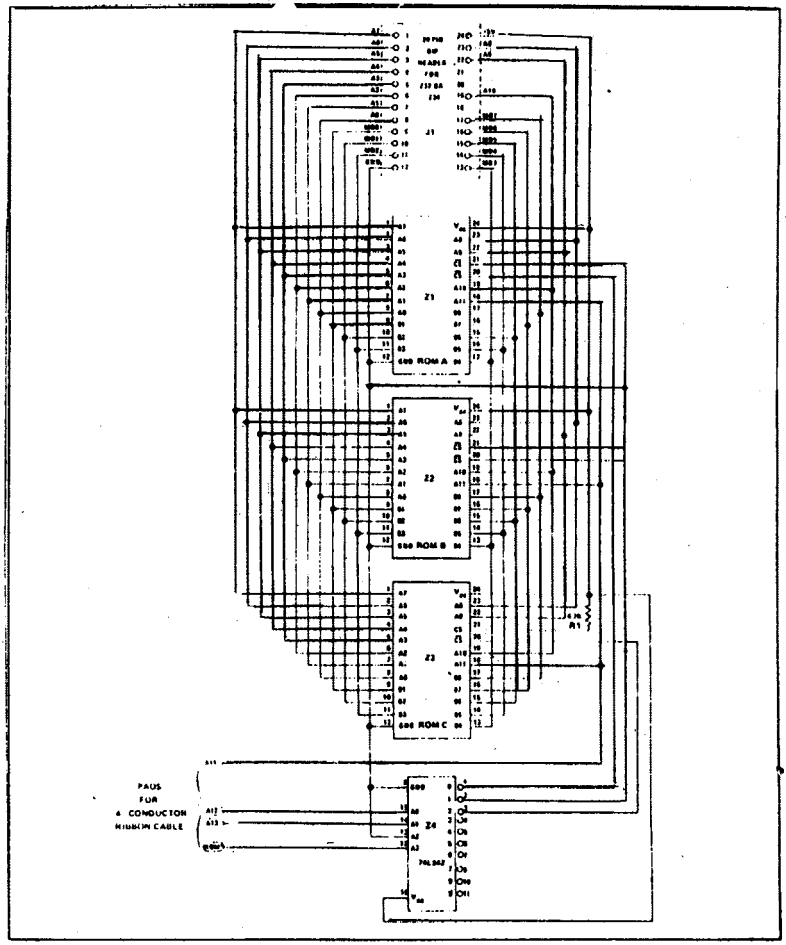
地址線短路 地址線短路是很單純的，用三態電壓水準去找尋二個訊

號（CPU地址緩衝器並非三態，除非“TEST”的輸入通地到擴展接線端上。）在找出二根不良的線路時，你可以沿一線在電路板上，直等到你找到一地區那裡二根金箔片彼此極接近。如果你仍舊不能找到短路時，試著割切一根金箔片，直等到你已隔離到一地區，那裡有短路存在。以後不要離開它們，應將割切的金箔片用大于22號銅線連接好，如果割切不修護，那毛病就更多了記住！

資料線短路 資料線的短路如果你找到二根不良需要用同一的方法來隔離線路時，當然要找尋二根不良的線路是另外一件事情。有一最好的方法，去找尋出短路的資料線路，爲將資料排禁用。短路TEST訊號到地。所有地址及資料緩衝器均爲三態，假如你懷疑一閘門短路到資料線，觀看所有的地址線，你是在尋找不飄浮的一個。在資料線間彼此的短路，你祇用一4.7K提昇電阻接到被懷疑的資料線上，將其提昇到5V。而對其他各線舉行測量，有無亦爲5V的線路，此時卽爲短路處，其他未到5V之各線均屬飄浮情形。

如果你化費許多時間去測試資料線短路，你潛意識地想要爲自己建造一小的試驗電路板。此電路板應包含有提昇電阻，LED及開關等，你可能將此式修理座接到擴張連接器（EXPANSION CONNECTOR）而由此極快決定你是否有一排的短路與否，將每一根線投到地而觀看有否任何其他的燈在點亮。這比你想要生出第三臂來，處理提昇及示波器探針及短路條等等在同一時間完成，還要棒呢？

彎曲的PIN 在插座部份品，在檢修上是容易更換的裝置。但是當心，當你趕緊時不要惹生更多的問題出來。在RAM這是極容易去彎曲一IC脚在插座及部份品之間，如果部份品試插不易時，可懷疑是否有彎曲的脚。如加太多壓力時，突然的扣住（SNAPS IN）使它成爲你隔離步驟的一部份，去偸看CPU體積電路下找尋摺合而縮短的線條。靠近RAM的反交連電容器可能阻止你在此等插座內觀看。當然，你可以校核RAM在同一個水準相同的高度。RAM可能一邊已鬆掉而祇有一邊連接著。對鬆動部份作一迅速的推動可能卽對此不正常工作單位修理好了。



Level II BASIC Schematic

附 錄

檢修微處理器系統方法

爲檢修微處理器基本裝置的“哲學”一般地說與任何其他的數位系統沒有什麼不同。當你欲對任何電路嘗試分析或檢修時，首先要熟悉此電路，這是極有用的。參看方塊圖及線路圖，研究工作原理，構思得一基本的瞭解，以此爲出發點去進行檢修的工作。在本文內，有關於微處理器系統及我們將與其打交道的檢修技術的問題均將被討論到。

有許多的測試問題是祇有某種微處理器系統才有的現象是累見不鮮的。這是檢修困難問題之一。再有一件事，大部份的控制是在軟體。所以訊號流動的跡尋工作是一件不簡單的事。另外的困難，每件事情發生得太迅速，即使用“瞬時”去看亦不容易進行。

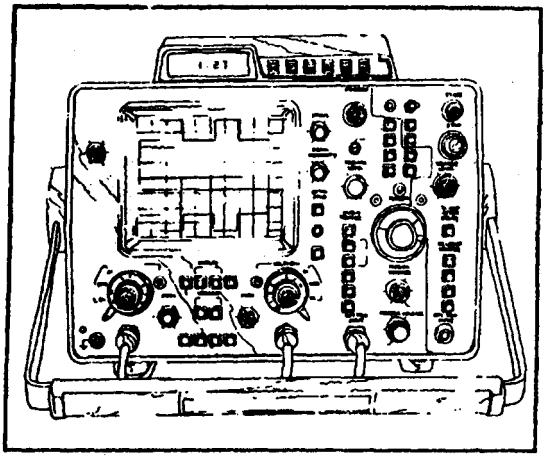
因爲在大部份情形下微處理器系統，並不像其他的邏輯電路，是不能隨時停止及操縱的。

並且任何測量工作亦需在微處理器正在工作的情況下才能進行。因此檢修微處理機用高級示波器用邏輯分析器及簽字分析器。所以應用此等儀表是依靠它們能測量電路的“作用性”。

圖1 爲一HP 1742 A式示波器將能幫助你鑑別微處理器系統的問題。

微處理器排（BUS）線結構更加添了許多困難。因爲有三態的輸出及多工作用及開關投置而產生的瞬間（TRANSIENT）使得在排上的資料常呈不穩定及毫無意義。這些情況對系統本身不會造成問題，因爲它有同步作用，並且知道在什麼時候排線才有穩定訊號。邏輯分析器及簽字分析器亦能知道，因爲有時基訊號供應給它們，所以也知道什麼時候線路會有效。但示波器則沒有這種能力。它祇能供給少量的資訊，但却有用于檢驗品質因素。例如一般作用性，邏輯水準，波形時序及排線衝突等事件。

因爲排線結構亦使許多裝置連接在一起到單一點上。成爲可能，但在



■1　HP-1742 A式示波器。

如此一點上要找出其中之一的裝置有作用不良的情形，是較困難的一件事。

電流探針（CURRENT PROBE）是供此一用途的。資料排亦能作用如一“數位訊號回授途徑”而趨向于在良好電路內進行錯誤訊號，然後回到故障發源地。與此式問題打交道是相當棘手的。最好在可能時將此回授途徑打開（OPEN），我們正希望能多觀摩一些絕技工夫。

複雜的裝置常連接到微處理器排線上。要用簡單刺激反應試驗去測試此等裝置是比較困難的。此等裝置的正確工作性，如果情況可能，可用以同一廠牌，同式機種的工作良好機器。相同的IC交互更換一下，再察看兩部機器工作有什麼相異？來加以證實。

微處理器爲順序式機器。程式是由一連串的指令及資料結構而成。甚至於其中祇要有1 BIT的相差，則整個系統將要扭彎了。雜聲波峯及“黏住”記憶體位元常爲造成單一位元錯誤的元凶。其他各種問題我們亦將于後討論。此等故障是不容易找尋得出來的，因爲整個系統已在不正確的情況下工作著。

時基（ CLOCK ）

不良的時基雖然能使機器走動，但爲使系統犯規的重要原因之一。時基問題嚴重時可使機器整個停擺；或祇有開環工作能力無法負擔系統工作；或半作用性依意義及未定義的程式順序進行工作。某些微處理器對時基速度具敏感。因爲許多系統的工作是依照規格的，甚至在時基速率上（太快）有一點變動，即能造成系統的故障。如果系統工作得太慢，在系統中讀寫記憶體屬於動態性的因爲充放電時間太長，不能完成工作。以上二種問題在用RC振盪電路自較更正確穩定的晶體控制式振盪電路更容易發生。但是，晶體有時可能陷入于一第三倍頻振盪的方式，產生一較所需時基速率更高的頻率。再有，時基電壓水準並不一定需要TTL可容性；但需要更寬的電壓擺動。（ VOLTAGE SWING ）微處理器的時基規格，可在裝置資料單上找到，可用頻率計數器或示波器來校核。

加電源自動清除（ POWER-UP RESET ）

微處理器的加電源自動清除電路亦爲犯規的原因之一，但系統仍舊能工作。如果此清除（ RESET重置）脈衝太短，太雜聲或移動太慢時，能在一錯誤的時間造成全部停擺的怪事發生。是由於系統作業不依順序，作部份清除工作或根本無法清除所致。在清除電路內亦有問題存在，容易感受電源供給部份的波峯。甚至當用許密脫輸入電路亦會因爲波形邊形移動緩慢而造成在電腦中心某些系統中清除時序歪斜的傾向，從一個系統到另一個系統，此能造成某些裝置會比其他的裝置提早加上電源，結果會發生錯誤的行爲。一個系統電源順序太快的ON-OFF-ON動作，將使其他的系統不容易作重開始的工作。所以最好，關機之後不要馬上開機，應延長OFF的時間以便允許電源供給及重開始電路有足夠的放電時間。

以上所講的重開始故障，沒有一個能當時立刻影響系統的運轉。系統可能還能工作一短時間，均仍舊能正常地工作，但會突然地會鎖住于一無意義的程式環（ LOOP ）中，而致停止工作。在此要記牢的重要點爲系統必須作完全的加電源自動清除工作，以保證所有的試驗，控制及起步等，

帶動系統上路的全部順序圓滿完成才對。

加電源自動清除電路祇有在系統正在開機啓動的一瞬間方才工作，其他時間均不工作。如要檢驗它時必須在開機時刻用儲藏式示波器及邏輯分析器察看。爲測試目的時能將它們手動于過驅動（OVEVDRIVEN）情況或控制到外界電路以判斷它的工作性能。

中斷（ INTERRUPTS ）

“黏住”或“雜聲”的中斷線路能造成有缺點的系統工作。系統可能用黏住的中斷線路，它能夠工作，但是因爲要花大部份時間去修理“幻像”的中斷，所以工作緩慢。雜聲的中斷線能造成時有時無的系統變動發生，或是不定時發生于週邊輸出輸入裝置。有時系統對某一輸出入裝置失却連繫，有時一較高優先性中斷即禁止了較低者的工作的事情發生。

中斷線的作用性，可以用一邏輯探針，一邏輯分析器，或一示波器來檢知。中斷訊號有非同步的本質，爲測試的目的可用手動控制（啓用或禁用）以達到。

訊號惡化（ SIGNAL DEGRADATION ）

在中型到大型微處理器系統長的並聯排及控制線容易感受到臨界線（如時基及啓用）的叉路及輸送線等問題。此等問題可能使附近訊號線感應到波峯或在驅動線經過邏輯邊界造成複數的移動（振動）。由此等情況能排斥資料及控制訊號但檢出是很困難的。當訊號線太長，早已超越系統規定的邊緣時，極容易發生類似事件。當擴充線加到系統，或最濕度情況時，常有此等故障發生。線路的交叉交連及擴充線，快速訊號移動線（例如簡脫基閘輸出）靠近其他訊號時，甚至在電路板的另一面，亦會發生此等故障。

校核記憶體系統（ MEMORY SYSTEM CHECK ）

微處理器系統記憶體故障能產生許多種偏差的系統行爲。從一整個系統的停擺到單一位元儲藏訊號的變質，什麼事情都有。大部份記憶體故障

能在進行加電源自己測試時找到，除非記憶體故障已到不能執行此程式的程度。如果系統不能做一RAM證實的測試，又沒有供應RAM測試服務的裝備及手續。則要測試RAM將成爲不可能。當一RAM受到懷疑時，我們可能需要求助于替換技術。

記憶體RAM的故障，如果發生在記憶體用作堆疊的部份時，時常給系統一致命的打擊，即使祇有1位元的錯誤。否則，RAM故障可能造成軟體錯誤，而造成不可靠的系統工作。

在診斷顯明的RAM故障時，故障的RAM翻新電路是另一個考慮的因素。

ROM亦可能有故障，當用非遮掩可規劃式的時候此等故障更常有。雖祇有單一位元不良，亦能弄垮系統。甚至有更壞的，百分之九十九能工作，但祇有百分之一可產生錯誤的結果。如果如此測試是設計于內部的話。ROM在加電自己測試時能作有效的測試。但ROM並不像RAM，如果沒有供應自己測試，亦可用其他方法來測試。如此技術之一，包括讓系統自由競跑，然而用一訊號分析器除了證實符合從前簽字外，可作一懷疑ROM的輸出與一已知良好工作的系統內的ROM作一比較。圖2所示爲HP簽字分析器正在作如此的校核。HP85有半自動簽字分析器單元價格稍低，

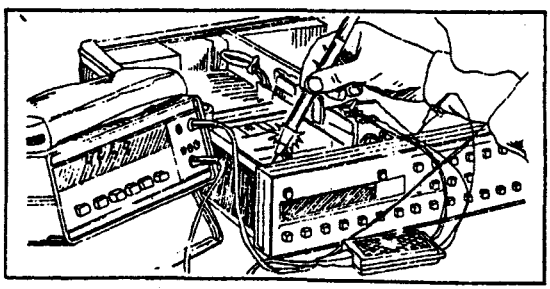


圖2 HP簽字分析器。

手動式的工作較緩慢。

用自己測試程式USING SELF-TEST PROGRAMS

以微處理器基本系統的可規劃性能對系統測試有極大的利益。程式儲藏在系統ROM內能測試ROM，RAM及微處理器自身，甚至對I/O亦能作某種程度的測試。軟體亦能用于供應一外界測試儀表的刺激，好像簽字分析器等。

ROM測試

測試ROM最普通的方法用一“校核和”（CHECKSUM）當ROM在規劃時，所有它的字元是加在一起的，所造成的任何進位是不管它的。此加起來之“和”數目的補數是儲藏到ROM最後一個字元。（有的時候是第一個字元）所以，當所有的字元加在一起的時候（包括置于最前或最後的校核和在內）成爲$X + \overline{X} = 0$的情形。結果在測試順序最後所得結果總計並不爲零，則此ROM恐怕有問題發生。

不幸地，此校核和並非完全地可靠。它能檢拾任何單一位元錯誤，但是如是有二或更多的錯誤發生後，仍舊能得在正確的“校核和”（好像一位元0變1，另一位元1變0等事。）

因此，一ROM能通過“校核和”測試可能是良品，如果測試失敗，那一定有問題，那問題或許不是ROM本身，亦未可知。

RAM測試

RAM的測試是用寫一圖案到記憶體去的方法，將它讀回，而證實有否變動。有許多種不同的圖案，“校核者之板”是普通的一種。在此圖案內，所有的位元爲0與1交叉的。當全部記憶體位置測試過後，圖案以每一位反相再重覆，以證實RAM每一位元能儲藏一“1”及一“0”，用以測試RAM的各種圖案特別目標于RAM內檢驗各式故障機構。

沒有一種記憶體測試能有百分之一百的正確。甚至它能指出每一位元能儲藏－1或－“0”。RAM可能對圖形有敏感。例如，位置可能正確地儲藏01010101及10101010，但當欲儲藏01111000是却不能了。甚至一極小的RAM，它將用一段極長的時間來進行。每一個可能的圖案順序。爲

此理由，RAM測試的可信度常較ROM爲差。當作“校核和”測試時，如果一RAM通過系統自己測試程式，這可能良好。如果測試失敗，則決定錯誤存在。

多工的I/O（MUX I/O）

多工作用的鍵盤及顯示器時常分享某些相同的掃描電路。若在此等情況時，則一“黏住”的鍵，恐能造成一顯示上的故障。同樣地，一不良的顯示驅動輸入亦能造成一鍵盤的錯誤。在共同掃描電路內的交互作用，在實行診斷時應該考慮進去。

界面（INTERFACE）

許多微處理器系統常穿過外界交通線（RS-232C，電話MODEM）與其他系統介面。（MODEM=MODULATION AND DEMODULATION）此等線路時常較長，並且常外露于受如像機電器，變壓器，馬達及雷電等電氣的干涉。電磁干涉（EMI）如從此等來源而來時能造成輸送故障的資料，過份重視介面電路，雷電後整個部份品損壞。一般說來，輸出驅動電路趨向于有高于平常的故障率，由於EMI壓力及由於驅動電容界面電纜的結果，造成高轉移電流。

檢修樹形

檢修樹形是在被測產品上實施測試順序的圖形意義。此等由流程圖所綸成的樹形每一測試決定微處理器基本裝置的修理步驟，能節省可觀的時間及效果。（TROBLESHOOTING TRE）

圖3所示爲一數位電壓表檢修樹的部份圖。理論上，它能由你找到故障處，然後沿著樹形引導你該採取什麼作用，該作什麼決定。有時或許不是時常這種情形。一個完美的檢修樹形應當考慮到所有可能的故障在內。所以這對於一個寫檢修樹形的人來說，眞是一項困難的任務。並且，此等樹形已有趨向于極度一般化，在作測試及作決定已缺少特殊的需要。少數的檢修樹形，供應實際資訊，有關如何一特殊的試驗或測驗量，關係于電路在做

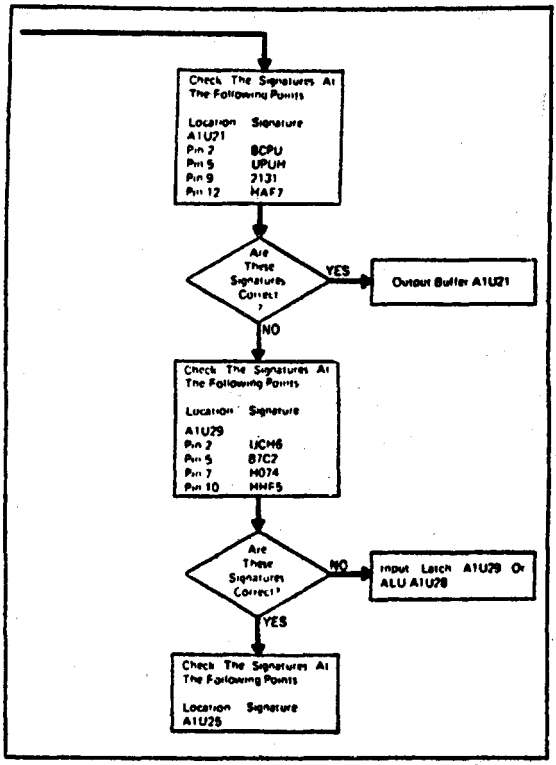


圖 3　檢修樹形事例。

或將要做什麼。如果檢修樹不能指點你到實際的故障，你可以離開死端。無論如何這檢修樹形時常爲你作最好的指導——至少在開始的時候。

良好的樹形很少引導至死端而供應一邏輯的善意的指導試驗及測量的順序，對被測電路祇需最少水準的瞭解即可。良好的樹形包括進步的技術和簽字分析器去簡化步驟。在檢修一裝置時，甚至一差勁的檢修樹形，亦能在系統中，作節省時間的檢修故障區域的用途。

現在讓我們來看看某些你可以用來檢修一微處理器基本的產品的一般步驟。多種修理技術及“職業技巧”散佈在本敍文內。

注意問題

對故障單位要有一般性的瞭解這是重要的，所以你能確定是否眞有問題存在。在某些程度你可以知道它做些什麼及它如何工作的。微處理器讓設計者去設計不單是有複雜作用的系統，並且可能同時爲一操作複雜的系統。但是，現在我們正在討論的並非使用者的錯誤。但是是一實際裝置的故障。因爲有些時候有些人在檢修正常工作就是這種情形的所謂“故障”，雖然自找麻煩，但亦被人愚弄得可憐。在某些情況，有時一裝置做出一些，並非設計者計劃內的工作。例如一數位電壓表AC選擇開關能工作于“電壓”，但是並非“電流”。此設計限制常在工作手册有記載證實，祇能算爲缺點但並非爲一產品故障。

在靭體（ROM）的設計的錯誤，當工作于非產品設計時所預料到的情況之下時，有時會顯現出來。此等可能在早期生產線上測試時卽可發現，如懷疑時最好會同製造廠商以校核來證實。另外一個極端，有一問題可能實際存在，因爲此裝置並未適切地工作，所以沒有顯示出來。此等問題有時雖極容易檢出，但亦可能極複雜。例如，故障可能在一在實行一不平常的工作順序時才發現。因爲複雜的問題是較困難測定得到的，祇得在工廠以高級精密的儀器之下來測試。

面板 FRONT PANEL

大部份的診斷資訊時常能在單位還在機箱之內，卽在面板上發現。大部份微處理機是有面板的，上面有許多開關，許多LED及指示器，再加輸出及輸入。校核面板這一順序，用開關，按扭及其他輸入。用以從觀看它的指示器或其他輸出以幫助獲得反應。例如，當電源推上後如果所有指示器均不亮時，你可以懷疑，一不良的開關，保險絲，電源線，電瓶接線及電源供給。如果顯示的LED有一劃不能亮，可用數字測量該劃能發光時則爲解碼驅動級故障，單此劃檢查不亮時可更換此LED。

時常善爲利用任何早已設計于機內的績效的利益，如證實或電源加入測試方式，及已存在的診斷訊息等工作。關于此點你能對問題在那裡有一

個觀念。或許你能依此指示而進行檢修工作。

檢查手册

如果所有其他方法均應用失敗後，祇有來看服務資訊或手册了。此可憐但管用的行爲對微處理器基本裝置而言比普通一般電子裝置更少具意義。在手册內或許有幫助修理工具許多技巧及步驟刋載在內等候你去發覺。特殊的修理開關，連接器，試驗裝置，指示器及測試技術能使檢修工作越發容易從事。

利用方塊圖及線路圖嘗試去瞭解電路，並且指出東西到底在那裡，檢出工作部份的原理。你不必需要做得太仔細，但祇需足夠知道現在進行什麼工作就可以了。鑑別系統的微處理器，ROM，RAM，I/O，地址解碼器，時基，地址，資料及控制三排及系統的控制及中斷部份。

一塊IC的生命當爲一串可預料的事件。是出生在IC工廠，送到產品裝造商。在那裡插到線路板上，然後產品推銷到市場，顧客買回家應用，時間久了發生故障，修理時更換故障IC。其餘IC還是照常爲顧客作忠誠的服務。直到它發生故障爲止。

故障的式樣

我們找到通常的故障來源及最好的檢修技術，是依靠產品的歷史及其所測試的環境。當一新產品第一次在工廠內推出時，差不多每一件事都可能出錯。在生產場地出錯的產品差不多是同一時期的產品。組合錯誤，像錯誤的部份品，及錯誤接線的電路，在現場常要考慮到的。並且，像銲錫短路，等許多故障在生產線上現像出現機會自較其他地方來得多。

先檢核容易的事情

這是一個很好的主意將容易測試及修理的項目先做。簡單的事情有時同複雜的一樣容易發生故障。我們就以電源供給來說，在大部份電子系統中，實際上是最容易發生故障的地方。當然它亦是最容易測試及檢修的地方。電壓在規格之外時即能造成怪異的電路績效。如果並不首先測量電壓

，則需要浪費許多時間去檢查此問題。一機械性地查驗亦能有成果。不良的電路板，電纜連接，導線中斷，部份品鬆動，能用觀察及手觸以驗知。

普通生產線檢修問題

在一生產環境中許多普通失敗的來源能從仔細檢視電路裝配件而獲得。不適當安置開關及跳接線，故障的部份品，或良品而位置倒置，或冷銲等故障是比較容易檢修的，一電阻架的倒置可用視覺看出，但如用電氣測試因爲它們與不相關的邏輯點交互作用而將事情變得棘手。

在生產線上有二三種一般故障爲電路板的銅（或金）短路。此常能用一銳利的刀片以移開。當單知道二線之間已成短路，但經視覺檢查結果却不能斷定在那裡發生短路。有一樣極新奇方法可移去此短路，當然很管用。此方法是用一 100,000 uF 或更大的電容器，充電到 5 V。如此可對邏輯電路先證安全，再將電容器兩端接線依照電路板的極性連接于短路二線間，將電容器放電于二線之間，可以傾聽二板間有一爆斷聲音。繼續的校核以確知短路處有否移除，如果尚未移除，可以再來一次。此種技術雖然不會有什麼危險會發生，但是在此放電電流環路中，如果有脆弱的連接線，雖並非短路但能燒成開路（OPEN）。這是此法惟一的缺點，當順便注意及此。

在生產線上有一極新的問題是由自動部份品插入機器工作時所造成的相當新顯的問題是 IC 脚的彎曲。此可能誤認爲由於電路板與 IC 間電器連接的開路。一連接的中斷，或靠近 IC 或 IC 下銅箔的短路所造成的結果。IC 上一彎曲的脚，粗看一下是看不出來的。祇得仔細察看背面銲接脚的低陷而覺察。

電路板現在常用邊連接器。在生產線上有時因割切偏差使中心點偏移而不能配合插口插入。或已刷上了透明塗層或噴射了封板防銲漆，均有絕緣作用使接觸片導電困難的意外事件發生。但若用視覺檢視即能發覺此類問題。

專供繞線的電路板，繞線柱常有發生彎曲而造成短路的事情發生。其

他常發生的生產問題如 14 脚 IC 置于 16 脚插座上，接線錯誤，二脚之間的接線短路，及由於電線緊密捆扎而造成訊號交連（串話）。

在生產現場能作一對裝置的視覺檢驗可發現接線鬆脫，銅箔中斷，及污穢連接器等故障。一在座機上一正確點上的抽頭能用于檢知鬆開及中斷的連接及“黏住”的繼電器等故障。重壓的板及連接器（用扭力及彎曲）常能用來檢拾某些此等問題。當生產線上產品完全不能工作的事情發生時你可能懷疑到電路板旁邊連接器上有否塗上絕緣防銹漆。你可能想要將所有裝配及電路板之插口檢視一下有否有接觸不良的情形發生。一鉛筆端橡皮擦能拭去邊連接器上的透明絕緣層。

電路板交換

任何電路板如果容易取出而能與已知良好的板替代時，你能夠交換它們。電路板亦能在同一的設備上換上換下作快速的測試。電路板的交換，雖輕而易舉，但亦有危機。當良好的板置于已遭同樣的過荷損害那壞板的電壓電流加上時亦能使新板損壞。在任何一種情形下，當作移走或裝置電路板或組合物時，應將電源關閉而進行以策安全。

如果有一相同產品存在時，作用性的比較有時是有價值的，此種比較尤其在實際的硬體問題尚未清楚瞭解以前的情況來舉行，尤其是有用。（此或許爲一產品的特質或設計的限制。）

如果一在插座內的裝置受到懷疑時，先將它用指頭按按它，有否有鬆動現象。然後用一證明良好的同樣裝置替換它。注意微處理器 IC 是列名最後的懷疑者，但却常被最先更換掉這是事實。此微處理器 IC 實際故障出事率是極少。但是因爲它的複雜，而它們正確工作證實又很困難。所以它們在機器不工作時即開始被更換，所以購買微處理器作修理備份之用的亦極多了。

壓力測試技術

有一種技術稱壓力測試是對付邊界即中斷故障極有效的對策。壓力測試常能造成此等式樣的臨時改進或變成更壞，因此有助于找尋此等故障的

病根。電路板物理地加壓力輕掀或扭曲它們，用電吹風加溫，用冷凍噴槍冷却及電氣地變更電壓。溫度的加壓能用於在電路板上一特殊裝置故障隔離之用，因爲熱同冷加到單一受懷疑的部份品上，所以能精細地控制。中斷可能從快到邊界的 IC，導線束縛，銲錫接頭，連接頭接觸不良，及驅動電路及時序電路等故障。

在一電路板上短時間碰觸每一件部份品能找尋出某一部份工作得太發燒的現象，以幫助判斷有否電流過荷或局部短路等故障。當某一特殊裝備在工作時比其他同一式樣的更要發燒。這就是有問題存在。一故障的裝置有時能熱到足夠燒你的手指，所以在觸應愼防發生此等情況。或許可用一溫度探針可保安全，但要當心有好的部份品在正常工作是會發很高的熱在你想像之外的熱，所以要自己留意的。

電源供給短路

有某些有效的方法以對付跨電源供給的短路，在一衆多電路板系統，第一件事要做的是判定短路發生在那一塊板上。此可以用每次取出一塊電路板的方法，當短路突然失踪之時，即此剛取出之板上有短路故障存在。有一種技術，可在故障板上，找尋短路，自將電源關閉後。用邏輯脈衝器注入電流于二短路線之間。再以電流探針，稍離銅箔，沿線跡尋過去，走到無電流處，則最後有電流點即爲短路處，特別要注意電容器，尤其是大容量電解質電容器，因爲脈衝器的波動電流可能對電容器產生充放電的局部電流發生而流入。用電流跡尋器以同一電路板相同電容量電容器比較其電流水準可判定短路的電容器。若一電容器有較同類電流水準特別高者，大概是短路。此技術特別有用于找尋短路陶瓷旁路電容器。

另外一種技術能找尋電路線短路的方法是用一相當高的電流（約3到5安培）送到短路處，注意保持相同電壓極性，不要超過線路上應用的電壓值。短路處電流的途徑，時常用一數位電壓表，置于0.01MV高解析度在電源線路上跡尋電壓降發生之地點，電壓降發生是跨於電源線路的短路兩端，在進入短路的途徑上。並不在其他任何地方。請參考圖4。

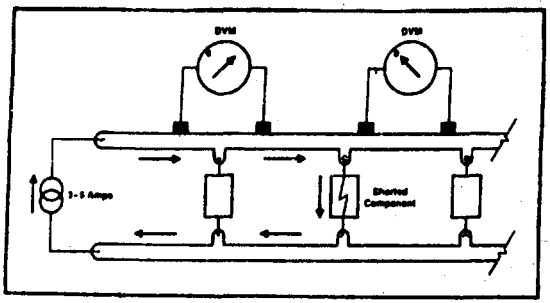


圖 4　用一敏感的數位電壓表檢出排線短路。

有一雖少科學化，但却戲劇化的方法以找尋電源線路短路的方法是將整個電路板結冰。讓水份積聚在裡面。加入 3 — 5 安培的電流。當板有電流流通發熱時溶冰了，而電流路線看得一清二楚這時候，短路處因電流大必先溶水，最先看到出現的電路恐即爲短路處。值得不值得一試要讀者自己拿主意了。

如何隔離故障

當容易事情試過而不成功時，這是各顯神通的時候到了。在此時，個人的檢修技巧，對產品的知識及直覺三者因不同的修爲，而有極大的不同。

首先，要儘量利用任何設計在內及刋載的電路隔離特徵，例如選擇電路板的移除法，修理時用的跳線（ JUMPER ）技巧，及特殊測試方式及步驟等。將週邊機器從微處理器系統上移開，就能將故障隔離開，而後再個別的診斷及測試是既實用又方便的隔離法。

一極重要的檢修觀念是半分法。雖然這術語對你來說或許是新的，但恐怕已經應用了它好幾年了。這亦有人稱爲“分化征服”。此種技術爲約略地選擇一電路的中點。用以判斷這故障到底在此點之前呢？還是後面部份所發生的。如果所有的作用到此點爲止都是好的，那麼故障一定在此點之後。此種方法最適宜單方向，清楚沒有回授的訊號途徑的電路。甚至在

微處理器基本系統內，亦可應用此方法。因爲微處理器部份，從40個脚開始好像輻射線樣的向四面擴散，眞符合以上條件。

數位故障方式

當懷疑降落於數位部份時，第一要找尋的是訊號的作用性。用一邏輯探針你能夠檢驗時基訊號，排線，IC啓用及控制線路的作用性。如果在任一此等點上缺乏作用性時，這表示可能有問題存在。數位IC最普遍的故障方式爲封裝內層電銲點的開路。此等爲IC晶塊在加工時所點銲的極細的線。如果輸出線開路，則輸出脚呈飄浮。但因爲有其他裝置的輸入連接於此點上。所以邏輯探針指示一不變的飄浮邏輯水準；如果爲一輸入線開路，有一或更多的IC輸出將要出現不良的作用（如黏住於高位或低位，不正確地執行它的邏輯作用。）如果任一此等輸出連接到三態排線時。這可能造成排線衝突。（一時間有二個以上的輸出）可用電流探針來找尋它們。排線衝突可以用示波器來觀察，可看到排線的不良邏輯水準線，但是仍舊很結實的曲線。請看圖5示波器無法供給故障來源的任何資訊，抱歉得很。當所有排線上的裝置OFF之後，良好的排線在示波器內看到的是結實的不良的水準。

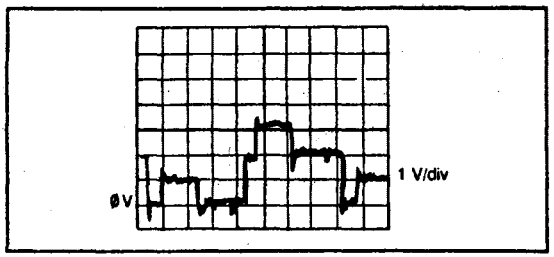


圖5　排線衝突的波形。

另外一通常數位IC的故障爲輸入脚短路到地。此故障常爲在晶片上的

輸入保護兩極體不良（短路）所引起。它常顯出黏住于低位的毛病，用邏輯探針能測知。如果用示波器觀察此式故障時，連接到此脚有近地的電壓水準，無論何時有一邏輯輸出到此脚時，可以有一推高到數百毫伏的訊號產生請看圖 6。

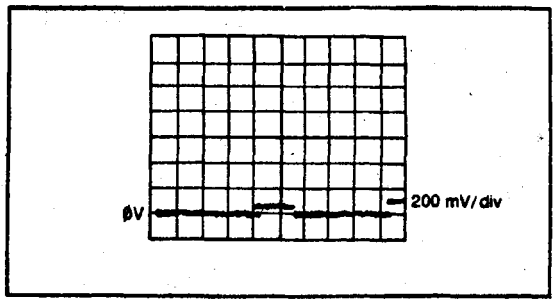


圖 6 IC輸入保護兩極管短路後的波形。

電流跡尋器是找尋接地輸入脚極好的工具。如果沒有電流跡尋器時另一種尋找“黏住”輸入，輸出的工具是由一靈敏性（高解析度）數位電壓表（DVM）及一罐凍結噴射器。先連接DVM到“黏住”點，而選擇表上最靈敏的直流電壓範圍。然後，將每一連接於此黏住點的 IC 上，噴射凍結劑，一次一個，來改變它們的溫度。同時觀看DVW上電壓指示的變化。如果電壓有任何可覺察的變動。（大於 10 毫伏時 ）此乃指出所噴的IC是汲取電流。同樣的方法亦可用一施加熱源（吹電風）來進行。技術是依靠在 IC內[illegible]體對溫度的敏感關係成功的利用。

隔離技術

當一輸入脚或輸出脚被懷疑時，若能將它們與其他的線路隔離，這方對找尋故障是有用的。一快速而非破壞性的方法是將此脚與近旁電路板間的銲錫用方法吸取出來，可用一眞空吸錫器或銅編織線帶。當脚的匹銲錫清除時，此脚即獨立站于孔穴中，與電路板隔離。用一連續性測試

，以證實此脚與電路板無任何電氣的連接。

一擴展板對排線及控制訊號均有開關，可用來使此電路板與系統的其他部份將所選擇的訊號線用開關切斷。用此方法，用“回授途徑”及“黏住”排線可在系統的其他部份內移除，有縮小故障範圍的作用。要開路一選擇訊號還有一個更簡單的方法，是在“邊連接器”板上將你想要隔離的訊號線連接指上（ EDGE FINGER ）貼以透明膠紙作絕緣，即可作暫時的隔離。

有一種有些不普遍但是却有用的技術能檢出排線上的問題，是將電源關閉後，是將特殊排（ BUS ）上，每一根線作對地，電阻的測量。此等排線的電阻常爲同樣。如果有一線有顯著的不同值得，這是根值得懷疑的線。如果有二根線均有相同而較低的阻值得，可能爲二線短路的故障。在任一情形，可觀看線路圖，有關此等排線連接到何處的安排情形在作斷語之前先作詳細考慮以免錯失。在懷疑裝置上重疊的中斷線及 IC 啓用脚能用來證實此 IC 是正確地在工作。此能用一邏輯脈衝器刹那間短路此脚于低

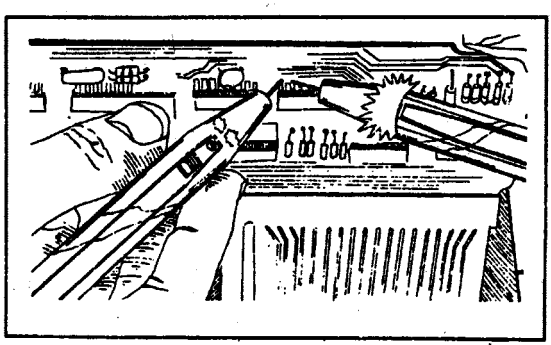


圖 7　HP-546 A 邏輯脉衝器探針。

或高來證實，邏輯脈衝器請看圖 7 。

回授環路

數位回授環路在檢修時是極困難的，因爲錯誤老是在兜圈子。一回授

環路用一故障的輸出訊號，將此訊號送回到它的輸入，產生一更不良的訊號。開啓此回授環路即能防止故障輸出訊號回送到其輸入部份。如果能夠產生一被控制的輸入到環路去，則從輸入流到輸出的訊號，可用示波器看出。但是要供應此式輸入是很困難的，（可能需要控制許多線路）。它並且亦很難預料正確線路的工作。如果另有一同樣電路的裝置或電路板存在時，則可以讓一良好板的輸出去推動二個電路的輸入，有時亦很實用的。在此種情形之下，你可以知道被測試電路已得到正確的輸入訊號。然後比較二電路，看有什麼不同情形發生。

結　論

對一部沒有檢修手册或技術參考書的微電腦而言，著者有再多的智慧及經驗均不能補償此一缺憾的。在某一情形，換部份品直到解決問題爲止的方法。名（SHOT-GUNNING）開鎗法，恐怕是最節省時間的方法。但是有粗心大意或技術欠佳易節外生枝，產生其他故障，則亦令人覺得有時亦不能解決實際問題了。但大部份微處理器基本的產品，並不算在此類之內。將來的產品將可能應用進步的修理技術，例如簽字分析器，很多檢修者常提起老式檢修方法及工具，祇能用於任意邏輯電路，但對微處理器檢修時似乎不太有效。

微處理器系統可想成慣常數位邏輯的擴充。許多的部份品，線路設計，以及檢修工具及技術均相同的。但是，的確是有一點分別的。微處理器系統是排型結構的，而許多在排線上的裝置是複雜的LSI IC。在排上裝置間的訊號作用是不變而複雜的。資料排因爲雙方向作用性所以是系統主要的回授途徑，如果打開此回授途徑能夠將造成整個系統不良工作的故障隔離至局部位置，則打開地址排是有用的手段。

雖然檢修樹形圖能供給一有秩序的方法以檢出系統故障，它們有時不太適切。因爲有太多的技術，步驟及技巧能有效地診斷，隔離及找尋微處理器基本產品的故障。

許多的它們都在此地討論過，所以現在你需要做的工作是將它們“付之實行”。

附 錄

AIM65微祘機

線路說明

1 概 論

AIM65是一個完整的小型計算機系統。它包含一個R6502中央處理單元，隨意出入記憶器及唯讀記憶器中，都存有規劃指令，在週邊設備方面，有顯示器、印字機以及鍵盤。並且AIM65還具有延伸性，而它眞正的便利，還是來自一個使用者專用的R6522「多功能界面轉接器」。重要元件請參看圖1。

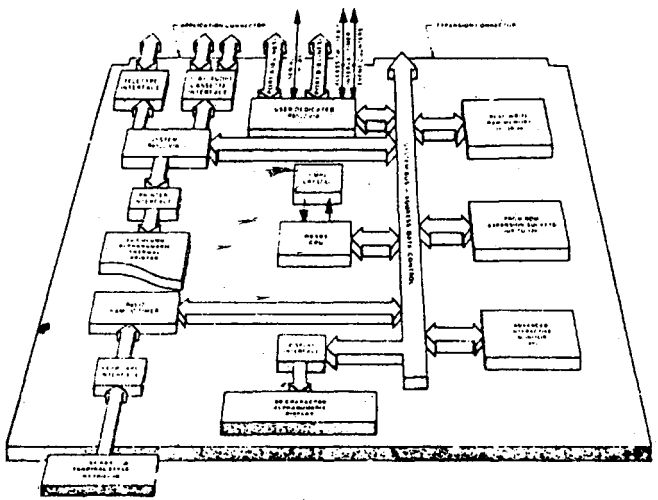


圖1 AIM65方塊圖

2 功能區域

硬體功能區域如下列：

能量分配
計時及控制
晶片選擇
讀寫記憶體
唯讀記憶體
印字機界面器
顯示界面器
鍵盤界面器
使用者R 6522界面器
錄音帶界面器
電傳打字機(TTY)及串式界面器

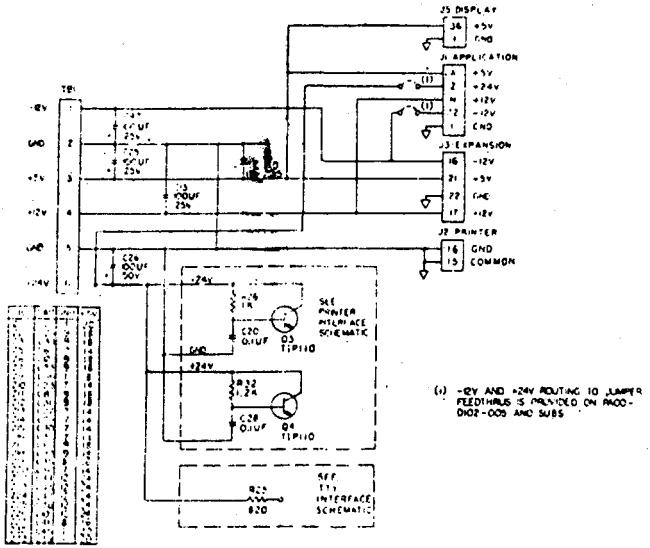


圖2 AIM 65能量分配概圖

2.1 能量分配

電源是由 TB 1 週邊條狀連接部分，進入板上元件及界面器接頭部分的。（請參看圖 2）。

+5V是由 TB 1-3 進入延伸及應用部分接頭的。

+24V是由 TB 1-6 進入印字機，以及電傳打字機界面線路的。

AIM65 本身並不用到+12V及-12V，但是仍由 TB 1 接到延伸部接頭，以備將來之用。

2.2 計時及控制

在這一部分所要討論的內容有 R6502 中央處理單元，位址，資料及控制路線，R 6502 時基（clock circuitry），R 6522 監督 VIA（Z 32），界面及 AIM65 控制開關（RESET，RUN/STEP，KB/TTY，將分析於後，請參看圖 3）。

R6502

AIM 65 的中央處理單元爲 R 6502，它是一個 8 bit 的微處理器，它負責全部 AIM 65 之控制及監督的工作。

R 6502 和 AIM 65 上的其他元件，經由三條流路聯絡。其中 16 bit 的流路可供中央處理單元，在 65536 個記憶位置中決定一個位置，8 bit 的雙向流路，則供中央處理單元和記憶器及界面器間資料往返之用，另有一條控制流路，傳遞計時及控制信號，使 R 6502 能控制週邊設備。

R 6500 硬體手册的第二章，有對 R 6502 的操作及流路之描述。

R6502時基

R 6502 的頻率是 1 MHZ。它的來源是一個 4 MHZ的晶體震盪器，經由D型正反器（Z10）除 4 之後，便得到 1 MHZ 的輸入（$\phi 0$）。

R 6502 同時也產生 1 相位（ϕ1）2 相位（ϕ2）之時基輸出，但其來源仍是 0 相位（ϕ0）輸入時基。其中ϕ1（輸出）連到J 3-3上，以供以後之用。（請參看圖 3）ϕ2（輸出）則連到1-C及反相器J 16-9上。一個J 16-8產生的ϕ2信號則連到J 3Y及Z 16-11。此外Z 16-10所產生的緩衝式的ϕ2時基（SYSϕ2），則供系統板上使用。

R / W

讀／寫（Read/Write）信號控制了資料傳輸之方向。R／W信號連到J 1 - D及反相器Z 16-3上。Z 16-6 提供緩衝式的R／W信號，供系統位準板上及擴展使用。

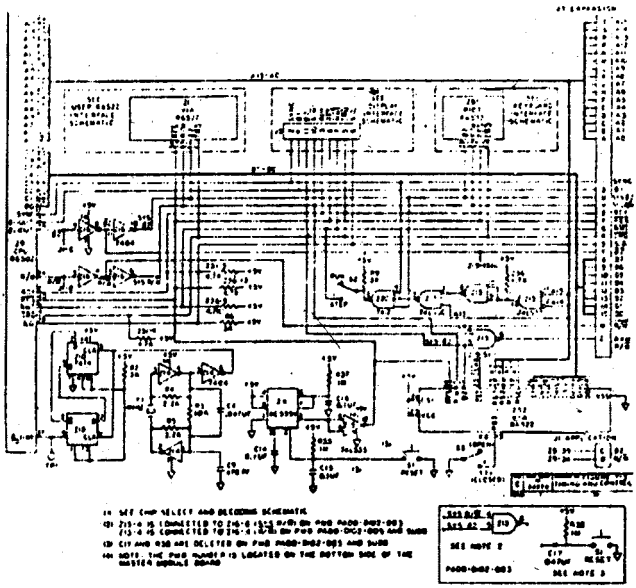


圖3 計時及控制板圖

控制開關

RESET

按鈕開關S1起動AIM65硬體及軟體的重設工作。按鈕後計時器Z4使使$\overline{RES}$保持至少15毫秒的低位狀態。$\overline{RES}$連接了R6502，R6522(Z32)，R6532 RIOT(Z33)，R6522 VIA(Z1)〔案：原文可能錯誤，和圖不合〕，R6520 PIA(U1)。(參考圖3)當我們起動重設動作時，板外擴展部分之重設工作也同時被起動了。當$\overline{RES}$變成高電位時，也提供了軟體部分的重設工作。(參考7節)

KB/TTY

開關S3的功用在決定AIM 65 所接受的資料，是來自其本身抑或來自電傳打字機之鍵盤(TTY)。這種資料是由R 6522 VIA(Z32)來提取的。

STEP/RUN

開關S2則決定AIM65將在「運轉」(RUN)或「逐步作」(STEP)之狀態下操作。在逐步作狀態下，若指令執行時，遇到有位址不在A000-FFFF之區間內時，NMI 間斷線便變至低電位，而SYNC及ϕ2則變作高位。NMI 間斷會在高位時發生，以降低NMI線上之過渡資料，假如原先已作了要追踪之決定，而且NMI 間斷常規也沒有被其他程式搶先，那麼，便會去追踪超出位址範圍之指令以及暫存器。(看7節)

2.3 晶片選擇

晶片選擇之工作，是由解碼器Z27(1 of 8)及Z19(Dual 2 to 4)負責的。見圖4。

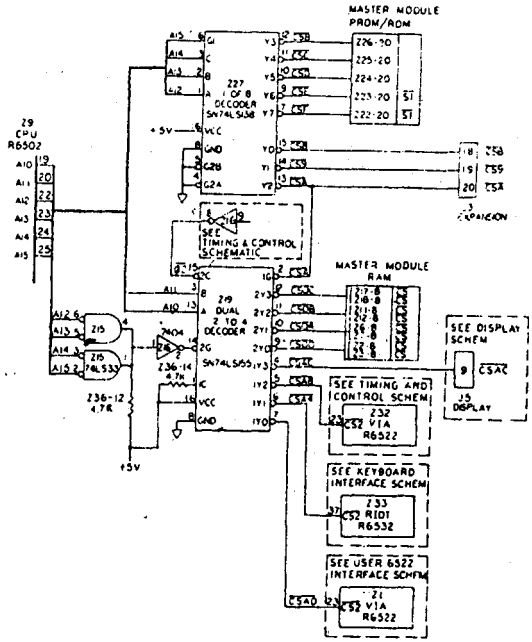


圖 4　晶片選擇及解碼概圖

Z27 把 A12 到 A15 四根位址線，轉成八中取一的晶片選擇線輸出。每一根輸出線的有效區域爲四千位址，參看表 1，而表 2 卽爲 Z27 之邏輯表。

$\overline{CS8}$，$\overline{CS9}$，$\overline{CSA}$ 連到 J3 延伸連接器上，供板外延伸之用。$\overline{CSA}$ 也連到 Z19 以供主模輸出入裝置之位址選擇，但是任何利用 $\overline{CSA}$ 作的板外晶片選擇，均不得和板上 A000-AFFF 有效區間相抵觸。（參照表 7）。

$\overline{CSB}$-$\overline{CSF}$ 則和板上可規劃唯讀記憶體／唯讀記憶體之插座 Z26-Z22 相連接。每個記憶體均可使用四千個位址，由各別之晶片選擇線來選取。和插座有共容性之記憶體，卽使只有較小的位址區間，仍

表 1 晶片選擇邏輯表*

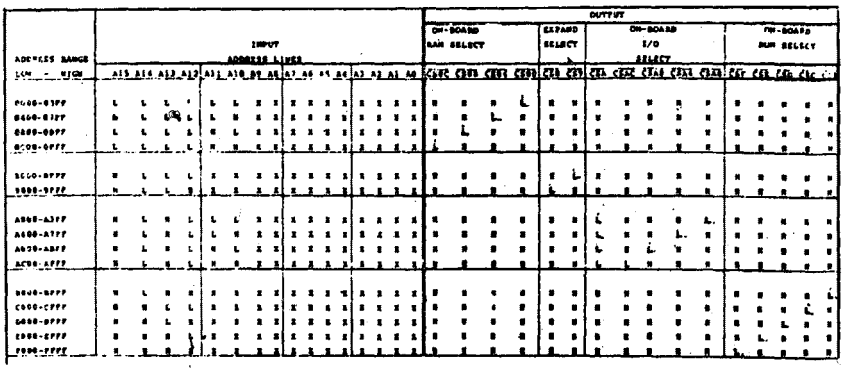


表 2 Z27 SN74LS138 解碼邏輯

INPUTS					OUTPUTS							
ENABLE		SELECT										
G1 A15	G2*	C A14	B A13	A A12	Y7 CSF	Y6 CSE	Y5 CSD	Y4 CSC	Y3 CSB	Y2 CSA	Y1 CS9	Y0 CS8
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	H	H	H	H	H	H	H	L
H	L	L	L	H	H	H	H	H	H	H	L	H
H	L	L	H	L	H	H	H	H	H	L	H	H
H	L	L	H	H	H	H	H	H	L	H	H	H
H	L	H	L	L	H	H	H	L	H	H	H	H
H	L	H	L	H	H	H	L	H	H	H	H	H
H	L	H	H	L	H	L	H	H	H	H	H	H
H	L	H	H	H	L	H	H	H	H	H	H	H

H = High Level L = Low Level X = Irrelevant

*G2 = G2A + G2B = always L (GND)

然可以唧接使用，但此時的可用位址，便依所用之記憶體最低和最高可用位址來決定了。

Z19是對板上隨意出入記憶體及輸出入週邊晶片作位址解碼之工作。Z19擁有兩個獨立的解碼器，每一個均接受二個輸入資料，再在

4個可能的輸出線中選取一個。Z19每一側解碼範圍均在一千個位址。有關Z19輸出晶片選擇線之位址區間，可參看表1。

Z19的一側負責輸出入裝置選擇之工作。（看表3）。當$\overline{CSA}$在低位時，A10和A11便被解碼，而使得$\overline{CASO}$-$\overline{CSAC}$四線其中之一變成低位，這樣便把四千輸出入位址等分作四節，每一節正好對應一個板上輸出入週邊裝置。（參看表7）

表3 Z19 SN74LS155解碼邏輯－1側（$\overline{CSAO}$-$\overline{CSAC}$）

INPUTS				OUTPUTS			
SELECT		STROBE	DATA				
B A11	A A10	1G $\overline{CSA}$	1C*	1Y3 $\overline{CSAC}$	1Y2 $\overline{CSAB}$	1Y1 $\overline{CSAA}$	1Y0 $\overline{CSAO}$
X	X	H	X	H	H	H	H
L	L	L	H	H	H	H	L
L	H	L	H	H	H	L	H
H	L	L	H	H	L	H	H
H	H	L	H	L	H	H	H
X	X	X	L	H	H	H	H

H = High Level L = Low Level X = Irrelevant
* = Wired High

Z19之2側輸出板上隨意出入記憶體晶片選擇信號。（參看表4）當A12，A13，A14，A15均爲低位時，A10及A11便被解碼，

表4 Z19 SN74LS155解碼邏輯－2側（$\overline{CS00}$-$\overline{CS0C}$）

INPUTS				OUTPUTS			
SELECT		STROBE	DATA				
B A11	A A10	2G*	2C 02	2Y0 $\overline{CS00}$	2Y1 $\overline{CS04}$	2Y2 $\overline{CS08}$	2Y3 $\overline{CS0C}$
X	X	H	X	H	H	H	H
L	L	L	L	L	H	H	H
L	H	L	L	H	L	H	H
H	L	L	L	H	H	L	H
H	H	L	L	H	H	H	L
X	X	X	H	H	H	H	H

H = High Level L = Low Level X = Irrelevant
*2G = $\overline{A12}$. $\overline{A13}$. $\overline{A14}$. $\overline{A15}$

而使得$\overline{CS00}$-$\overline{CS0C}$四線之一變爲低位。每一根選擇線連到兩個板上隨意出入記憶體插座。

2.4 隨意出入記憶體

靜態隨意出入記憶體R2114組成1024個4 bit的字組。每一對R2114提供一千個8 bit的bytes。其中一個連到D0-D3以提供最低效數字LSB(bit 0-3)，另一個連到D4-D7提供最高效數字MSB(bit 4-7)。有關AIM65位址，資料，控制通路之連接法，請參看圖5。

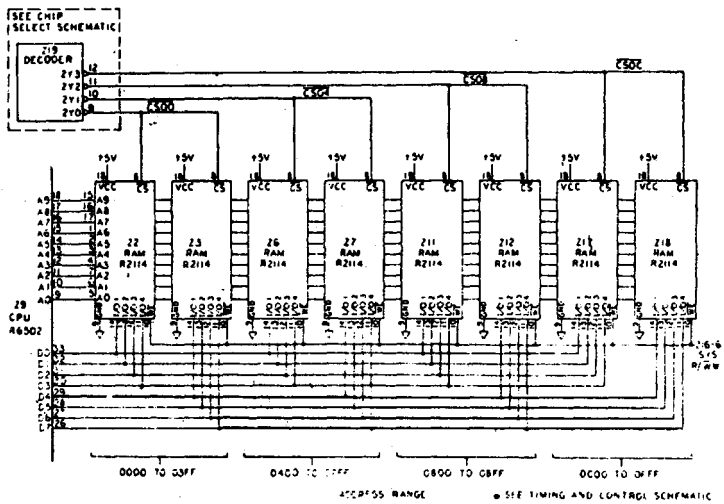


圖5 隨意出入記憶器界面器概圖

每一個隨意出入記憶裝置CS(Chip Select)線，均連到一根晶片選擇線上(CS00-CS0C)。當CS爲低位時，R2114中對應於位址線A0-A9的資料，便會被放在輸出入裝置線(I/01-I/04)上。

R2114 WE(Write Enable)線連到SYS R/W上。當WE(且/或CS)是高位時，R2114的資料輸入緩衝器便被抑制，以防止

資料再寫入記憶體中，也就是說，惟有當CS以及WE均爲低位時，隨意出入記憶器中的資料才會改變。

在AIM 65開始操作之前，我們至少得放上二個讀寫記憶體在Z2，Z 3插座上，當然，如果我便要延伸記憶量的話，也可以加上其他之記憶體，但有一點必須注意，那就是記憶體必須成對放入，如Z6，Z7，或Z 11和Z 12，或Z 17和Z 18，這樣，所提供之資料，才具有完整之byte。

2.5 唯讀記憶器

AIM 65之主模板上有5個可規劃唯讀記憶體(PROM)/唯讀記憶體(ROM)之插座。均可採用四千位址R 2332唯讀記憶體(ROM)或是具有共容性之可規劃唯讀記憶體(PROM)(參看圖6)。

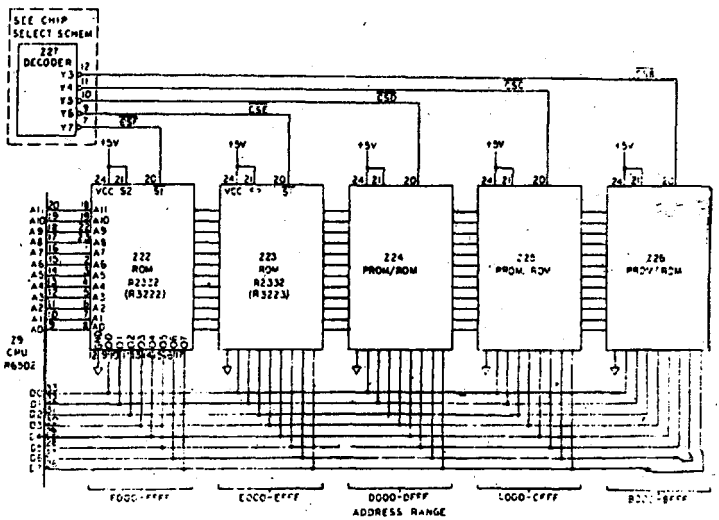


圖6 可規劃唯讀記憶體(PROM)/唯讀記憶體(ROM)界面器板圖

R 2332 是一個 32768 bit 的靜態唯讀記憶器，內存 4096 個 8 bit 的 bytes。兩根晶片選擇線 S1/$\overline{S1}$/NC 和 S2/$\overline{S2}$/NC，都經由罩覆程式調至所需之邏輯位準。在 AIM 65 中，S1/$\overline{S1}$/NC 是調至 $\overline{S1}$ 狀態，也就是低位，而 S/2/$\overline{S2}$/NC 則是 S2 狀態，也就是高位。$\overline{S2}$ 連到＋5 伏以保持高位狀態。$\overline{S1}$ 則連到晶片選擇線 $\overline{CSA}$-$\overline{CSF}$ 之其中一根。

當 $\overline{S1}$ 是低位時，相對於 A0-A11 的資料便出現於 D0-D7 上，可參看「R 6500 硬體手册」，有關 R 2332 的其他特性資料。AIM65 的監督程式存在 P/N R 3222（Z 22）及 P/N R 3223（Z 23）之中。若要加上組合程式，則可存於 P/N R 3224 放入 Z 24。此外，還可加上 BASIC 翻譯器，存入 P/N R 3225，P/N R 3226 放入 Z 25 及 Z 26 之中。

具有共容性之可規劃唯讀記憶器，也可裝入 Z 24-Z 26 和 AIM65 之監督程式聯合使用。AIM65 的監督程式，也可以用一個使用者提供的監督程式替換，以適應特殊狀況。唯一的限制是間斷向量必須位於 $FFFA-$FFFF。（參看 7 節）

2.6 印字機界面

警告

不正確的時基印字指令，會損傷印字機發熱的頭部，故我們不鼓勵使用者製作自己的界面程式；而表 12 的監督副程式，則可安心使用。

印字機經由十個熱單位（TE，thermal element）把字印在對熱敏感的圓筒紙上。每一個熱單位負責兩個 5 × 7 的點陣字。（參看圖 7）這十個熱單元均固定在一個可動的「熱頭」上。在每一個印字週期中，熱頭左右移動，印出一行的點，而個別的熱單位則造成各字間之空白部分。當一行印好之後，馬達便會驅動紙筒前進一行，這一行是點陣的一行，實際的一「行」字，則包含七個「點行」。（有關

點行進方式請參看圖 7 ）這些字的形態均存於AIM 65的監督程式之中。而印字週期，順序，時基等工作，也都由AIM 65的監督程式控制。

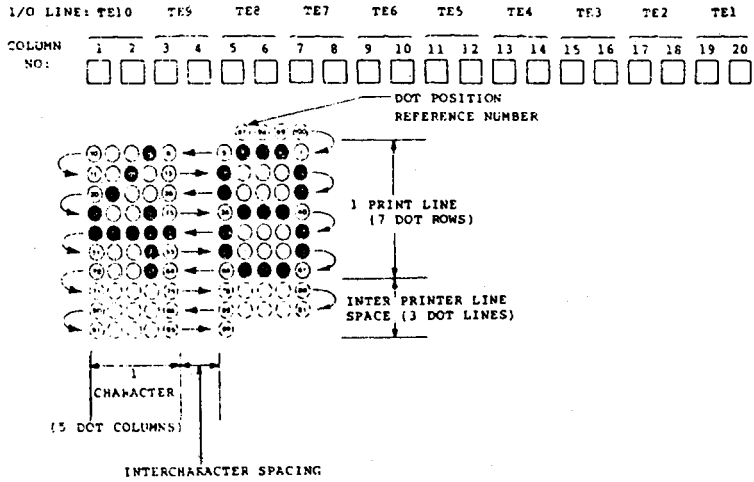


圖 7 印字機行布置及點行進圖

硬體界面器則由AIM 65 R 6522 VIA(Z 32） 及其他分離線路提供。（ 參看圖 8 ）

CB2 提供一個分離的輸出，以控制馬達及「熱頭」線路。邏輯 0 使CB 2 打開控制線路，而邏輯 1 則是關上。

Q 4和Q 5 控制馬達。M＋之輸出壓在 14 和 16 Vdc 之間， 由VR3 來調節，用以控制馬達速度。當CB2 爲邏輯 1 時，輸出壓爲 0。

Q 3和Q 1 的線路，則決定熱單元之電壓。當CB 2 爲邏輯 0 時，VTH之輸出壓在 18 到 20 Vdc 之間，由VR 2 來調節，控制印字深淺度。當CB 2 爲邏輯 1 時，輸出壓爲 0 。

當「熱頭」運轉時，印字機便依熱單元之狀況而印字，熱單元綫TE 1 - TE 10 則分別由 PA0 - PA7 ， PB0 ， PB 所控制。當 I / C

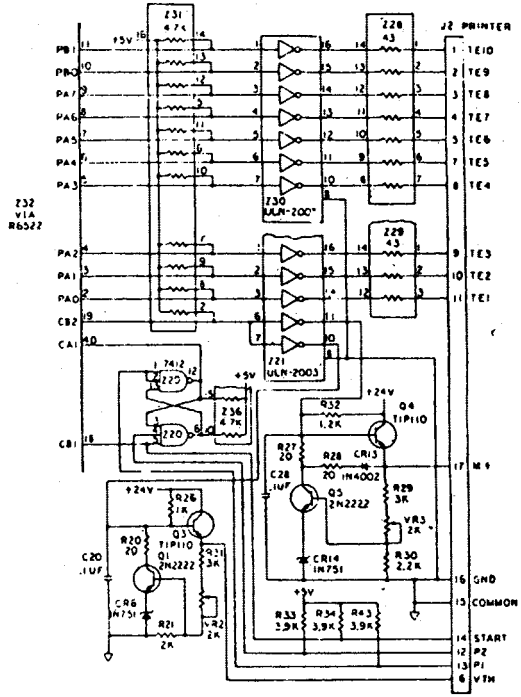


圖 8　印字機界面器概圖

線爲低位時（邏輯 0），熱單元便關閉而不印字。

馬達及熱頭狀況的監督工作是經由 START，P1，P2 輸出線。當馬達開動時或是要印新的一點行時，START 便會產生一個負的脈波。CB1 則會偵得此種脈波前緣的負變化。START 信號同時也重設了 Z20 P1/P2 正反器爲低位。CA1 則用來偵測正變化。

閃發信號 P1，P2 促使熱單元開動印字。P1 在低位時，會要求印出奇數之點，當 P1 變至高位，Z20-12 也變至高位而產生一正變化給 CA1，CA1 則間斷一個負變化，P1 變到高位後，P2 也變至低位，而要求印出偶數點，當 P2 變低位時，Z 20-12 也變至低位，CA1

也會偵得此一正變負之變化，這一連串之程序，均將在印字週期中不斷仮覆。

2.7 顯示器界面

AIM-65顯示器共包含五個4 bit 16段文數字顯示器。每一顯示器（DS1-DS5）擁有內記憶器，解碼器及操作線路。在顯示器界面上，AIM 65位址，資料及控制線路均經由R 6520 PIA(U1）連至顯示模板上。（看圖9）

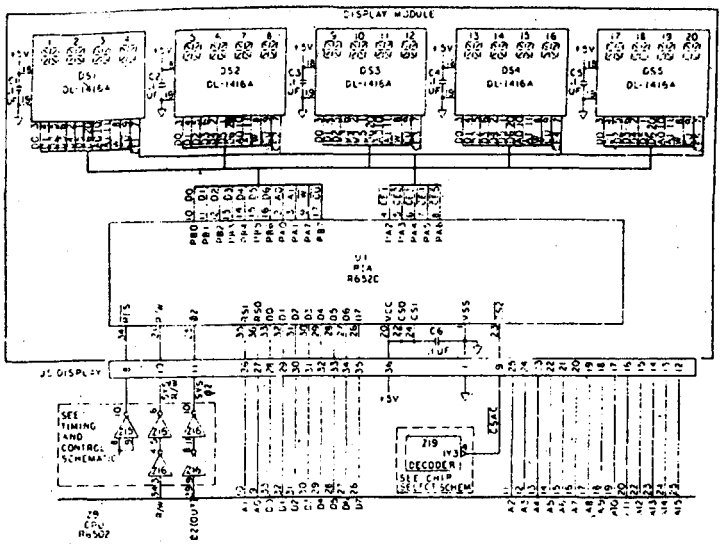
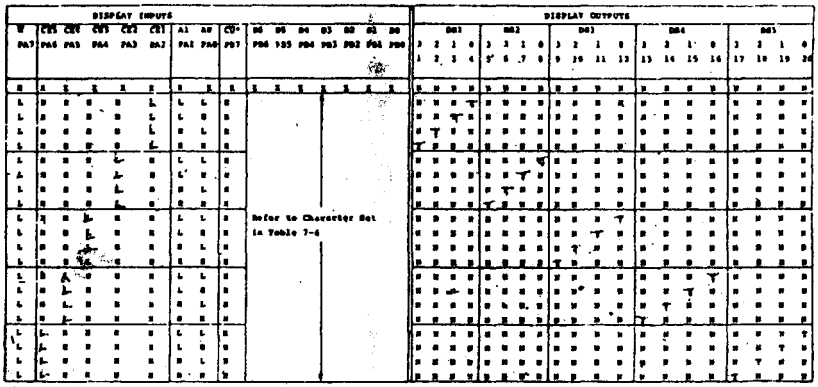


圖9 顯示界面器概圖

每一顯示器由7條資料線（D0-D6）控制。此外尚有兩條位址線（A0-A1），兩條控制線（$\overline{W}$，$\overline{CWU}$），以及晶片選擇（$\overline{CE}$）。其實共有5條晶片選擇線（$\overline{CE1}$-$\overline{CE5}$）每一條控制一個顯示器。

有關解碼邏輯可看表5。輸入資料時，對應於此顯示器之 $\overline{CE}$ 線必須降至低位。資料碼（參看表7-6）便放入D0-D6並且決定位址（0－3）放入A0及A1。示標線（$\overline{CU}$）則停留在高位。$\overline{W}$（Write）線變至低位比存入及顯示資料。$\overline{W}$變因高位後，資料仍不停地顯示出來，直到被新資料取代，或是有示標出現。資料的進入可能是不同步的和隨意的。

表5　顯示解碼邏輯

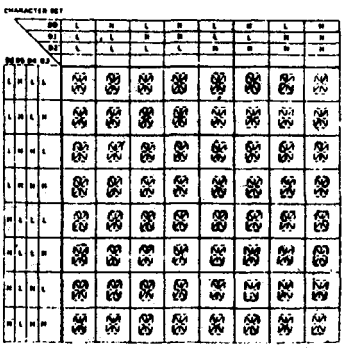


*Note)　If CU is low and W is low the cursor symbol (*) will be displayed in the digit rather than the character set symbol shown in Table 7-6.

T = Refer to Table 7-6, Display Character Set

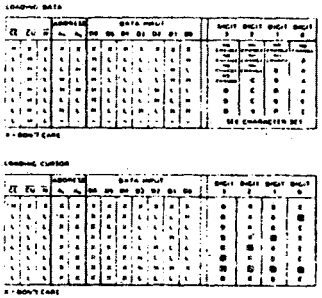
S = No change from previous display

表6　顯示形狀集



示標也可以出現而不以美國訊息交換標準（ASC Ⅱ）碼之形式。它會使整個字之 16 段全部發光。它本身並非字之，且當移去時先前存入之字，會再回到顯示器上。當CU，W均爲低位，而D0-D3 有任一爲高位時，示標便會出現。示標會出現在數位 0-3對應於D0-D3的高位。（參看表 7 ）。

表7 顯示資料／示標載荷表



2.8 鍵盤界面器

鍵盤界面的主要部分是R 6532 RIOT（參看圖 10），Z 33 R 6532 週邊輸出入線 PA0-PA7 ，是分別連於鍵盤輸入線K 11～K18。而 PB0～PB7 則分別接在鍵盤輸出線K 01-K08。

當要查看是否有按鍵時，邏輯 0便會一個個地放在ORA（Output Registera ）上，它會對相對於 PA線的KI 線提供一個低位輸出，若有一鍵被按下，便會在K 01-K 08和KI 線中造成迴路，而使相對應之ORB產生低電位，（其中ORB爲Output RegosterB，即PB 0-PB7 ）若沒有鍵壓下，則ORB各位置均爲邏輯 1 。

2.9 用戶的R6522界面

有關R 6522 VIA（Z1 ）及 J 1應用接頭之連接法，請參看圖10。R6522 可以完全供使用者界定應用。可參看R 6500硬體手册有關

的更詳細的資料。

當CS1高位而$\overline{CS2}$低位時，R6522之內的暫存器便可供使用了。而CS1接在＋5伏上，$\overline{CS2}$則連於晶片選擇輸出線$\overline{CSA0}$。Z1的有效位址在A000到A3FF（參看表1）而且，Z1之RS0-RS3線接於A0-A3，Z1也應可對A000到A3FF工作，但Z1本身容量爲A000-A00F（看表9，10）故而A010到A3FF之間的位址必須摒除不用。

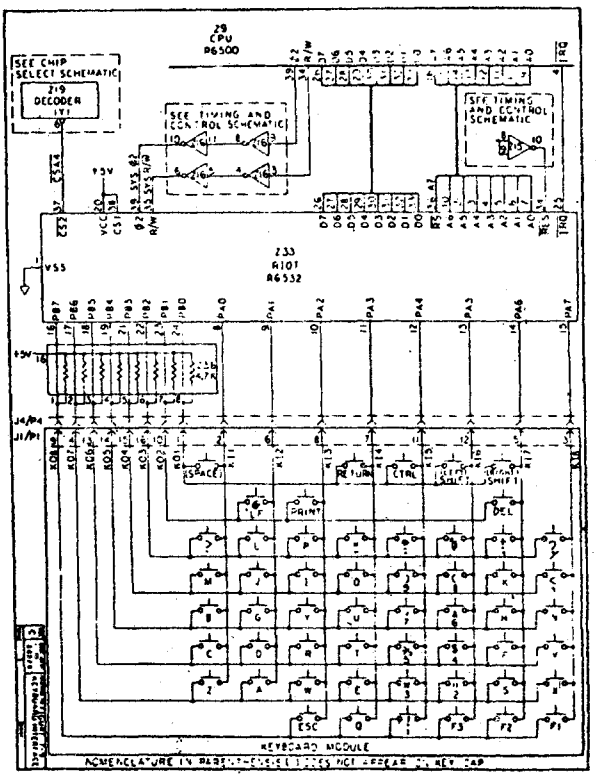


圖10　鍵盤界面器概圖

Z1之 $\overline{IRO}$ 輸出線連到Z9 R6502中央處理單元 $\overline{IRO}$ 上，以供使用者定義使用。請看下7節有關IRO之部分。

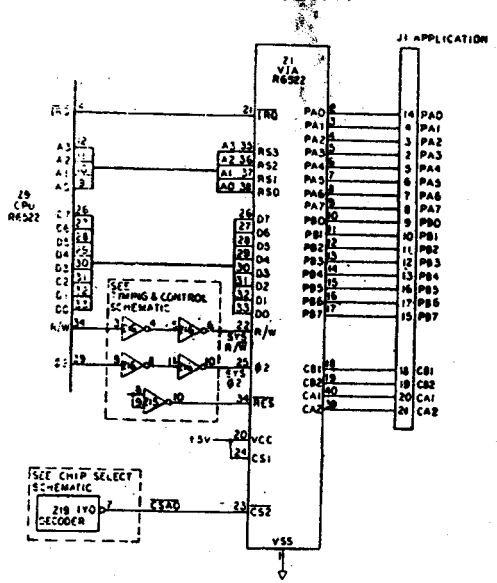


圖11 用戶的R 6522界面線圖

2.10 錄音帶界面

AIM 65處理發聲資料的界面，就如同錄音機之遙控線路。（參看圖12）

CA2控制發聲資料之傳輸方向。當CA2在高位時，J1-1(AUD 10 IN)的發聲資料便被授權經由Z5-11到PB-7，而被當作輸入。請注意Z8-11輸出之資料連回到J1-P(AUD 10 OUTHI)及J1-M(AUD 10 OUT LOW)。

當AIM 65要輸出資料時，CA2必須把Z5-11置設爲低位，以防止輸出輸入資料及雜音混在一起。PB7被視作輸出。而PB-7輸

出之資料也接到J1-P(AUD 10 OUT H1)及J1-M(AUD 10 OUT LO)。圖最下方二點。

這一套線路可供AIM 65及KIM-1使用，有關AIM65的格式，參看附錄F，KIM-1的格式則請看附錄G。

PB4及PB5之輸出負責錄音遙控線路。邏輯0關閉PB4，造成開路並關上馬達。邏輯1則打開PB4或PB5，並使馬達操作。

錄音馬達遙控線路共分作四型：

PRC型－Positive Motor Return-Center

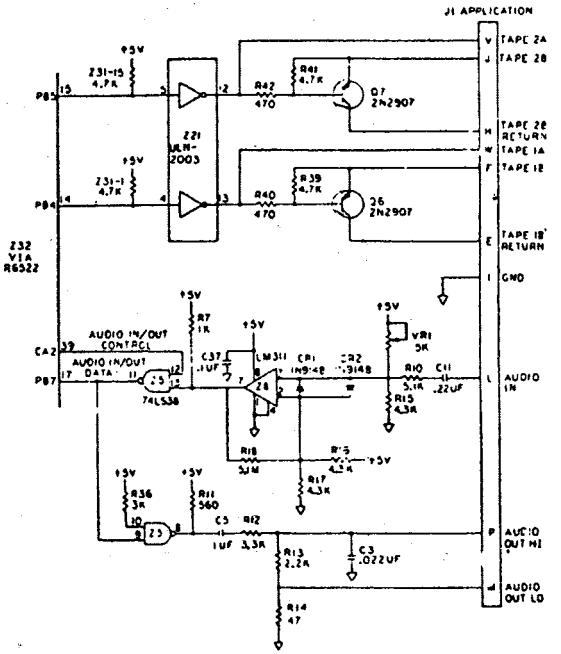


圖12　錄音帶界面概圖

PRS型－Positive Motor Return-Shield

PVC型－Positive Motor Voltage-Center

PVS型－Positive Motor Voltage-Shield

在PRC及PRS型時，PB4開關1號遙控線路，由J1-W經由Z21-12到GND，而PB 5則控制2號電源線路由J1-V經過Z21-13到GND。AIM 65 GND必須連到錄音GND經由J1-1。

在PVC及PVS型時，PB4開關1號遙控線路，由J1-F經Q6到J1-E，而PB5則控制2號遙控線路，由J1-J經過07到J1-H。

2.11 電傳打字機（TTY）及串式界面器

AIM 65有20 MA之流路，變工界面可用於電傳打字機，還可接受串式輸入（看圖13）。

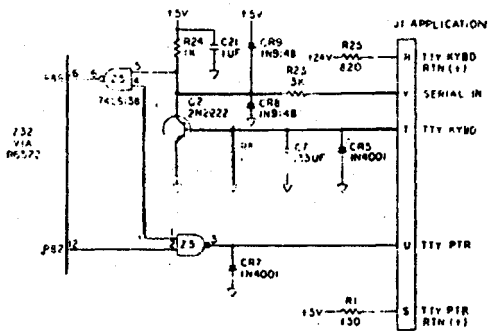


圖13 電傳打字機以及串式界面器概圖

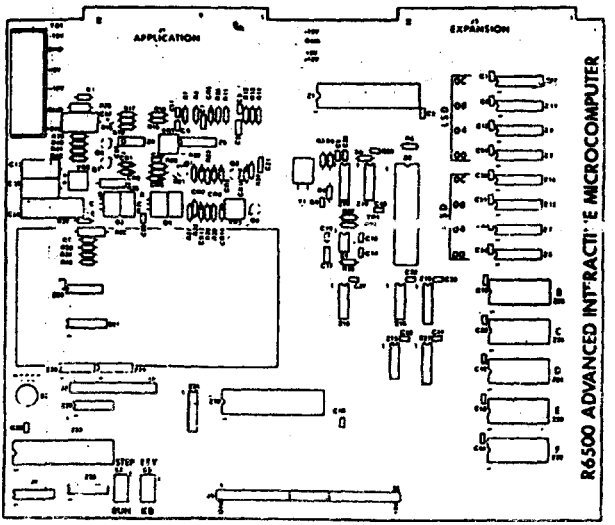
打字機印字部分之電源是由AIM 65之＋5伏電源，經電阻R1在J1-S（TTY PTR RTN(+)處提供的。PB2被當作輸出，輸出信號被永久授權閘Z5-3所反相。CR7對往GND之輸出夾波，故而只有正脈波會出現在J1-U（TTY PTR）。

打字機鍵盤部分之電源，則由＋24伏電源，經由R25在J1-R（TTY KYBD RTN(+)處提供。由J1-T（TTY KYBD）來的鍵

盤輸入是由Q2及相關元件所定形的。信號經由永久授權閘Z5-6反相後，傳入R6522之PB6當作輸入之用。

我們也可以不用鍵盤，而在J1-Y處輸入整串數元流，而它的速率最高可達9600鮑（baud）。

主模組之外觀圖



AIM 65 故障檢修之程序

故障情形	可能之原因	檢修之步驟
1. 顯示器不能顯示	1a. 沒有電源或不足＋5 V	1a. 確使TB1-3上有＋5 ±0.5V電壓
	1b. 監督程式或使用者程式之卡住或丟失（lost）	1b. 按RESET鍵
	1c. 顯示器模組之接腳與J5脫開	1c. 確使顯示器模組之所有接腳與J5密切之接合
	1d. R6502 CPU安裝不正確	1d. 將R 6502 正確的安裝在Z 9上
	1e. R3222及R3223 ROM安裝不正確	1e. 確使R 3222及R 3223 ROM正確的安裝在Z 22及Z 23上
	1f. RAM page 0及1並未裝設	1f. 將R2114正確的安裝在Z 2及Z 3上

故障情形	可能之原因	檢修之步驟
2.按下鍵盤後沒有反應	2a.使用AIM 65或TTY鍵盤，而KB/TTY鍵按錯位置	2a.根據所使用之鍵盤，將KB/TTY鍵置於正確的位置，然後按下RESET鍵
	2b.監督程式或使用者程式突停或丟失	2b.按RESET鍵
	2c.AIM 65 鍵盤模板與主模板間之聯結脫開	2c.確使鍵盤模板與主模板間緊密的聯結
	2d.按著鍵盤上的鍵不放	2d.放開按著的鍵
3.印字機不動	3a.沒有打開印字機的控制	3a.在提示記號"<"出現後同時打入CTRL及PRINT，直到<ON出現爲止
	3b.印字機鬆放桿的位置放在RELEASE	3b.將印字機鬆放桿放在PRINT位置
	3c.沒有電源或不足+24V	3c.確使TB1-6上有+24±1.5V之電源
	3d.印字機接線鬆脫	3d.將印字機接線與J2緊密的聯結
	3e.印字機接線與J2間之接腳沒有對齊	3e.將印字機接線與J2間之接腳相對齊
	3f.Z 32 R 6522損壞	3f.以E1 R 6522取代Z 32，以隔開損壞之R 6522
4.印字機跳行	4a.看3d.	4a.看3d.
	4b.看3e	看3e.
	4c.看3f	看3f.
5.印字機印字顏色太淡或太深	5a.電位器VR2調整不當	5a.將VR2反時針方向調整使顏色加深，或順時針方向調整使顏色變淡
6.印字機印字太快或太慢	6a.電位器VR3調整不當	6a.將VR3反時針方向調整使變快，或順時針方向調整使變慢

故障情形	可能之原因	檢修之步驟
7.印字機之垂直點線沒有對齊	7a. 印字機速度太快	7a. 順時針調整VR3使印字機變慢
	7b. 印字機垂直點線調整不當	7b. 看印字機垂直點線對齊之調整（看第11.4.4節）
8.印字機印字間隔不均勻	8a. +24V電源或接地之接腳鬆脫	8a. 確使電源線及TB1各聯結妥當
	8b. 印字機與用紙間有雜質存在	8b. 放鬆印字機之壓紙桿並將印字機與紙間之所有雜質排除
	8c. 當印字機鬆放桿處於PRINT位置時，熱傳頭並沒有靠在轉盤上	8c. 看印字機鬆放桿之調整（看11.4.2節）
9.印字機轉速變慢或停止	9a. 馬達齒輪整合太緊	9a. 看印字機馬達齒輪整合之調整（看11.4.3節）
10.印字機馬達轉動但熱傳頭不移動	10a. 馬達齒輪整合太緊	10a. 看印字機馬達齒輪整合之調整（看11.4.3節）
	10b. 印字機鬆放桿處於RELEASE位置	10b. 將鬆放桿移到PRINT位置
11.組合過程（Assembler operation）錯誤	11a. R3224 ROM裝設不正確	11a. 將R3224 ROM正確的安裝在Z24上
12.BASIC運算過程不正確	12a. R3225及R3226 ROM安裝不正確	12a. 將R3225及R3226 ROM分別正確的安裝在Z25及Z26上
13.錄音機馬達不動	13a. 錄音機本身之問題	13a. 將AIM 65與錄音機所有聯結線分開，再檢查錄音機之操作情況
	13b. 錄音機之控制線聯結不正確	13b. 依9.1節所述詳細檢查錄音機控制線之聯結

故障情形	可能之原因	檢修之步驟
	13c. 錄音機控制線聯結不完全	13c. 將控制線從錄音機移開，按下錄音機PLAY鍵，檢查錄音帶轉動情形。聯結上至少一條Audio line (IN或OUT)，再接上適當之控制線(置爲ON)，並測試錄音機馬達運作情形。搖一搖接到錄音機REM接頭之控制線以確定是否聯結密合。
	13d. 相對應之控制線接錯	13d. 試試另一控制線
14.錄音帶讀取不正確	14a. 看 13a	14a. 看 13a
	14b. 錄音機安裝不正確	14b. 如 9.1 節所述詳細檢查錄音機界面之聯結是否正確
	14c. 錄音機音量太低	14c. 將音量轉至最大
	14d. 錄音帶之格式(format)不合	14d. 確定當初存錄時之輸出儀器碼(T或K)是否等於現在讀取之輸入儀器碼(T或K)
	14e. 錄音帶速度不合	14e. 確定TSPEED($A408)之值是否等於登錄時之錄音帶速度。即$C7(不寫時之指定值)，$5B或$5A
	14f. 間隙太短，不適用於編校器更新或組合程式輸入	14f. 確定間隙GAP($A409)等於$80 附：不寫之指定值爲$08

Retro Workshop
果粉工作室

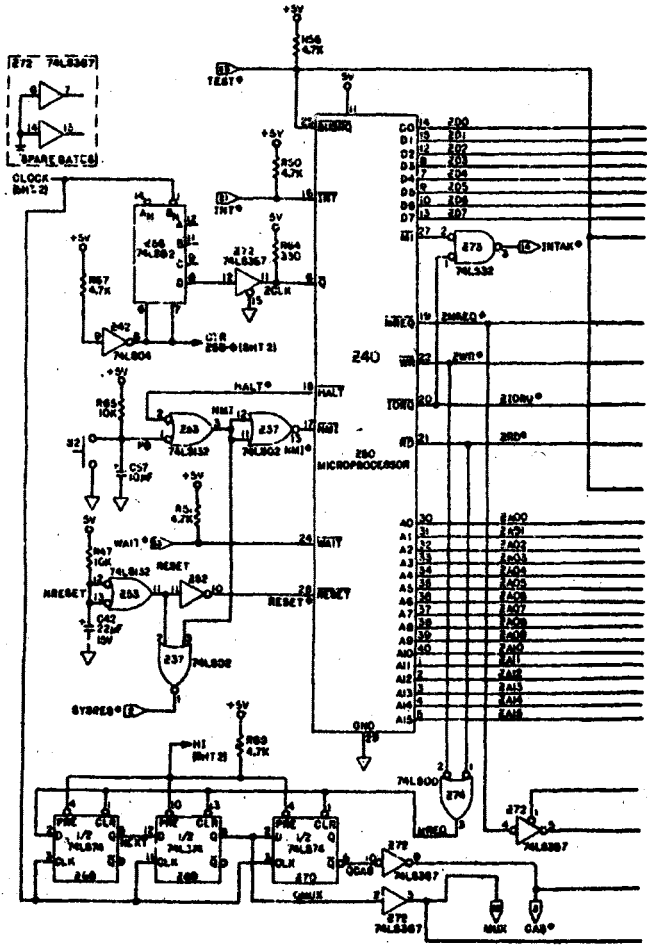
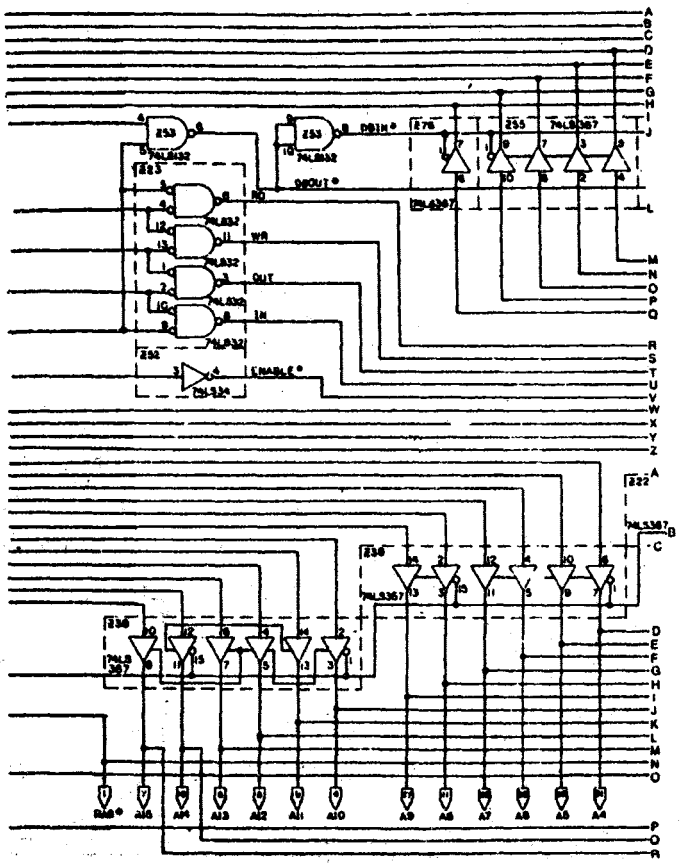
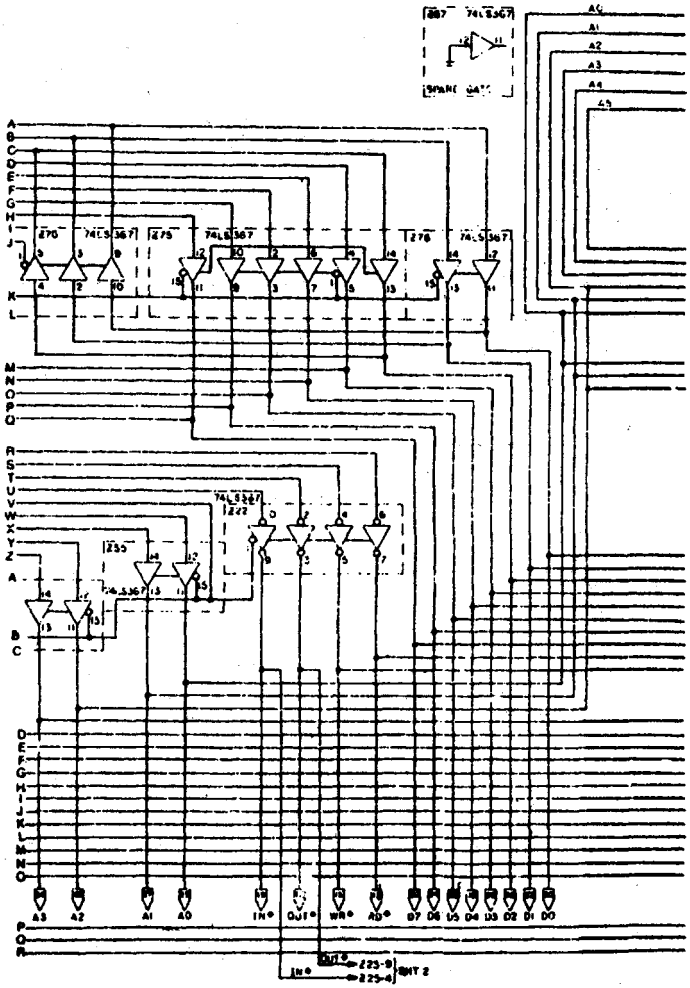
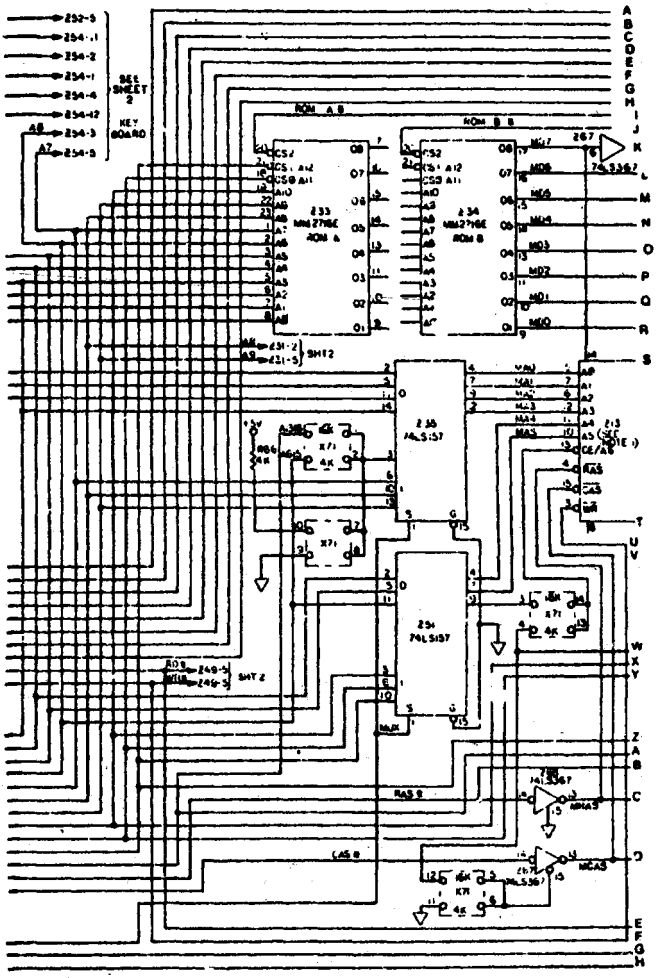


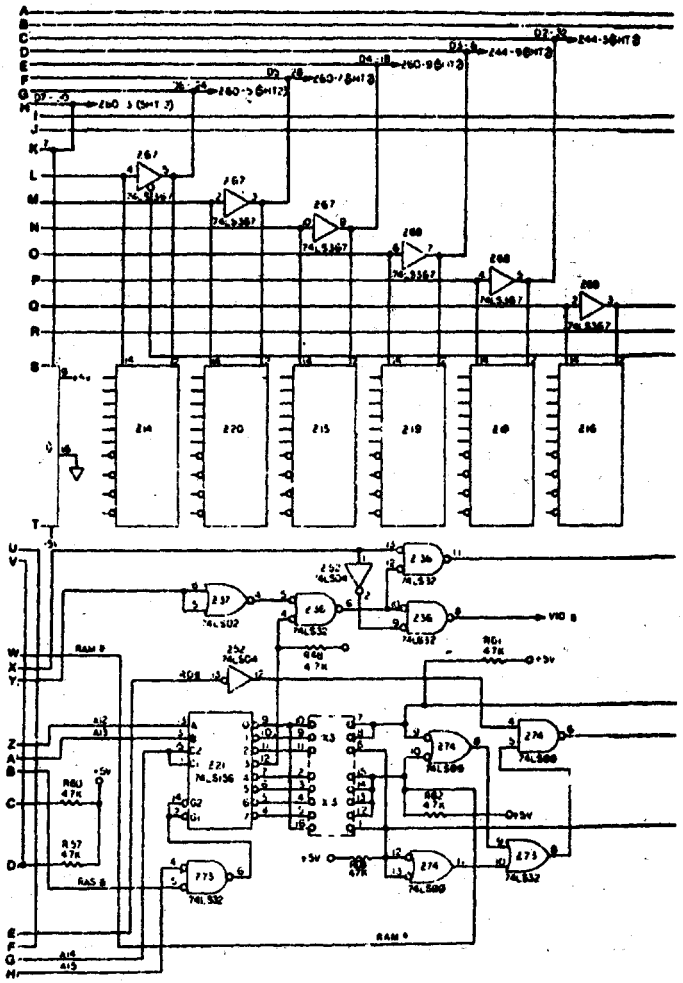
Fig. 9-3. TRS-80 schematic (first part).

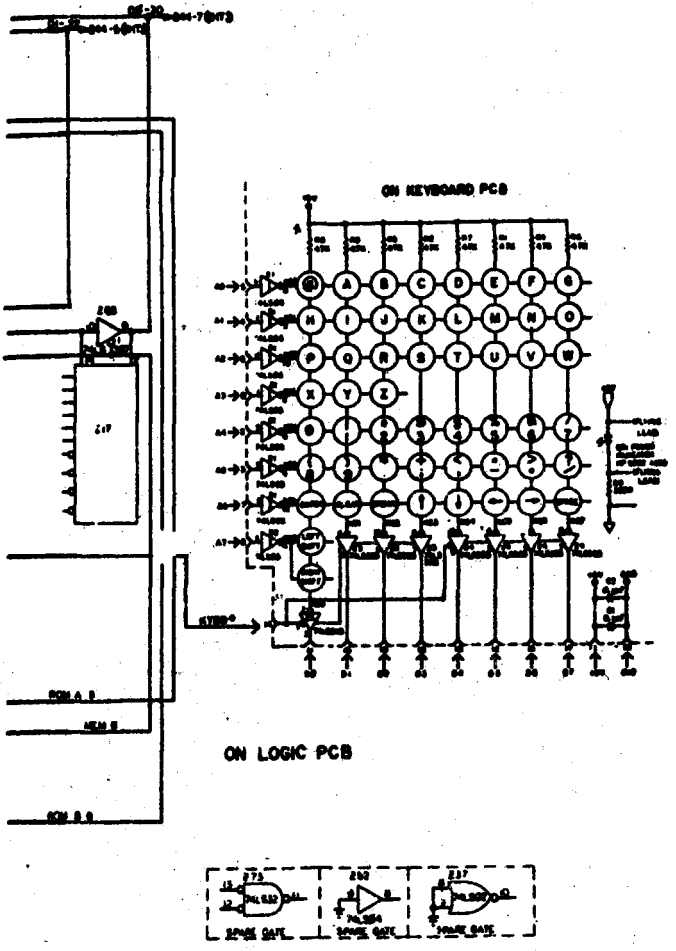
NOTE:
1. Z15 THRU Z20 ARE RANDOM ACCESS MEMORIES (4K, 8K OR 16K RAM'S)










ON KEYBOARD PCB
ON LOGIC PCB

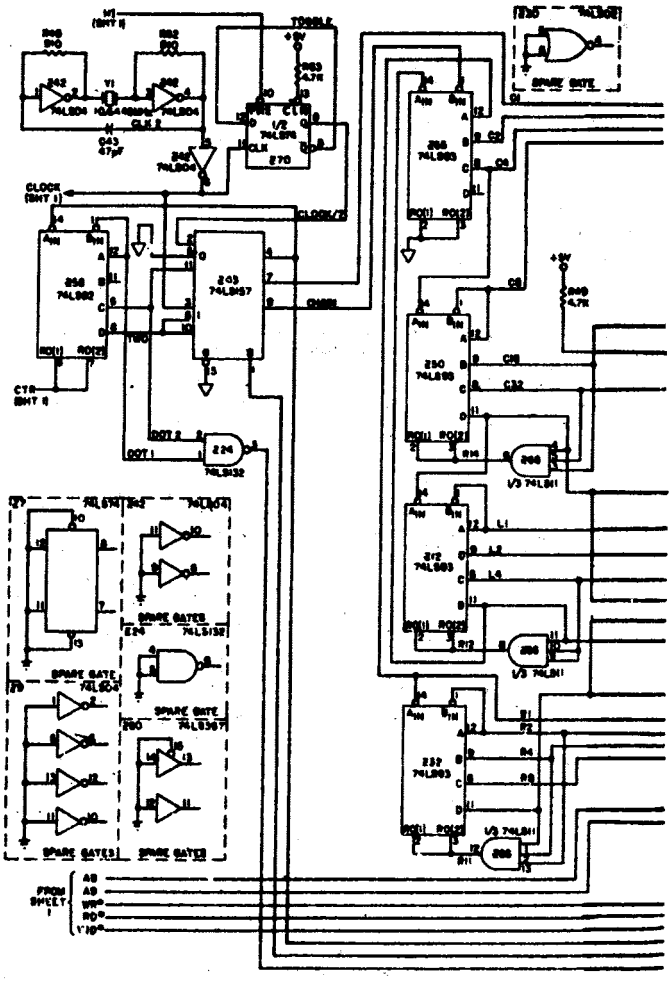
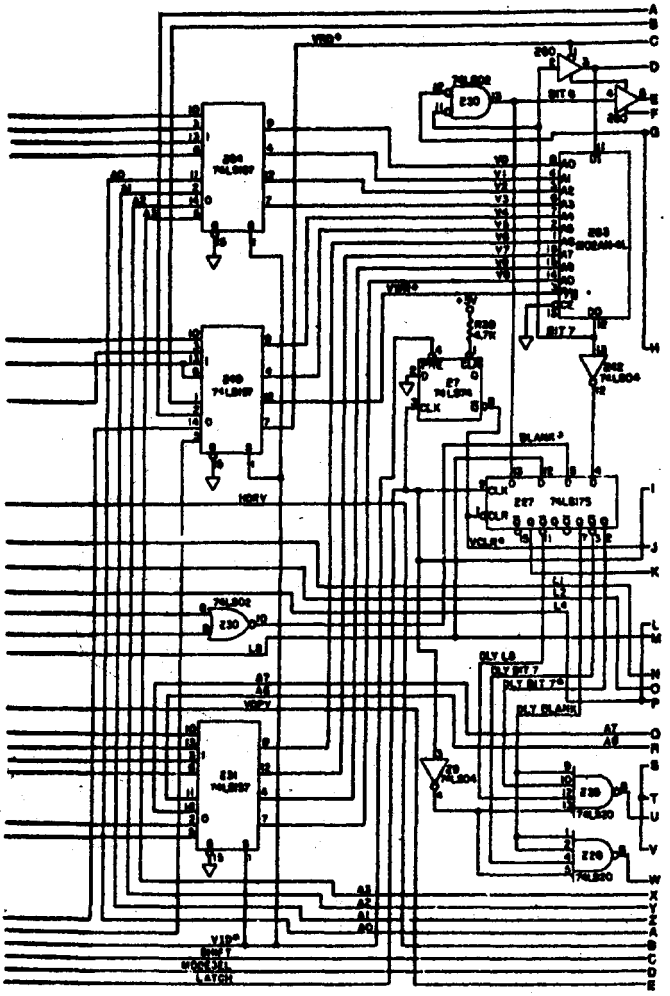
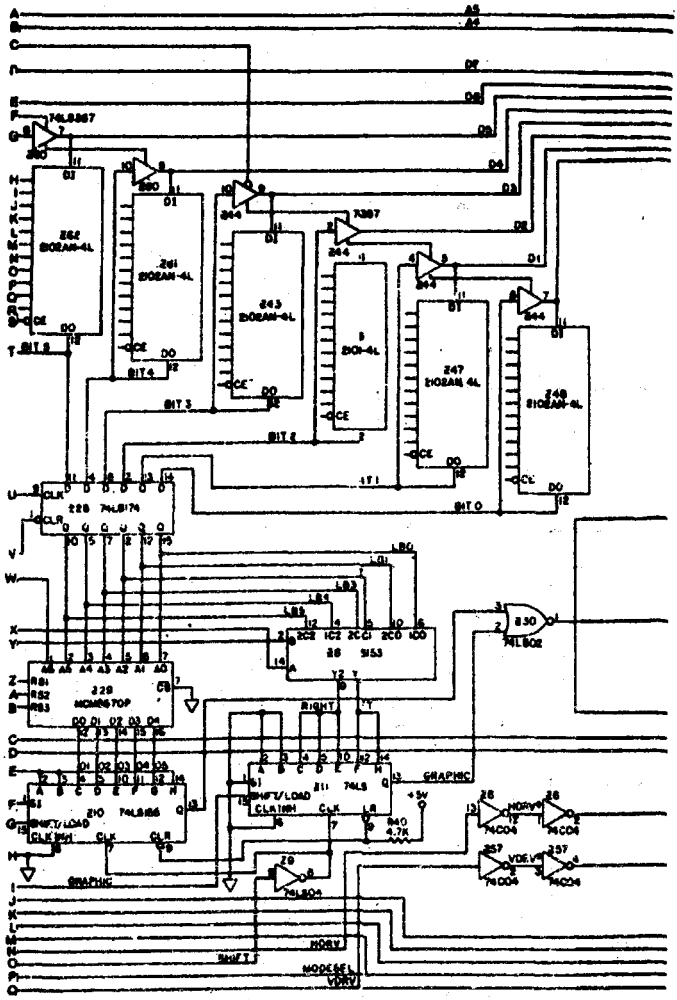
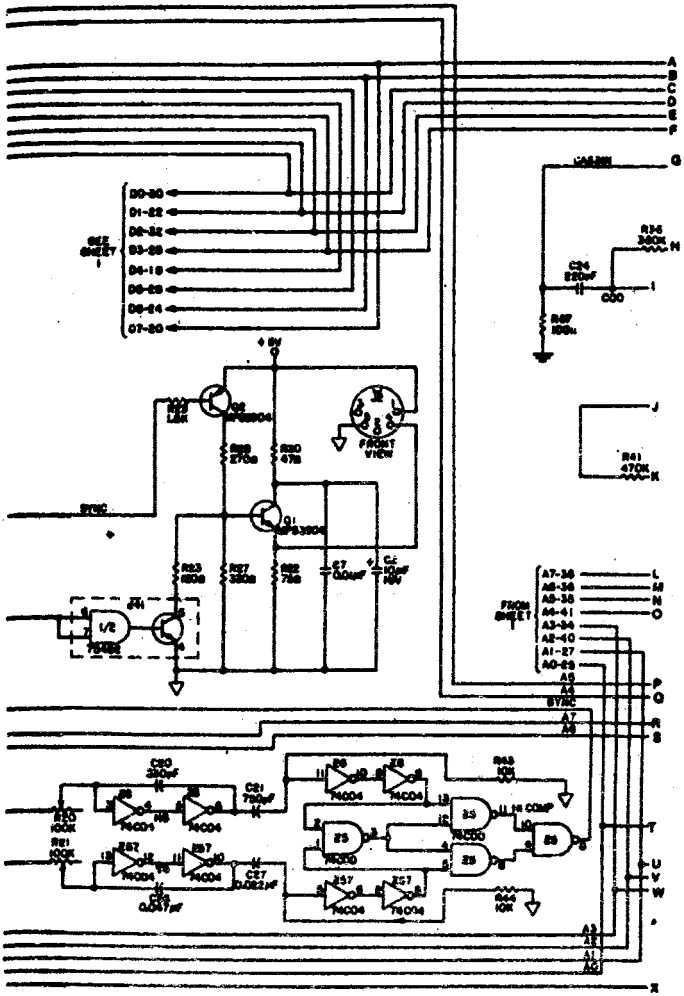
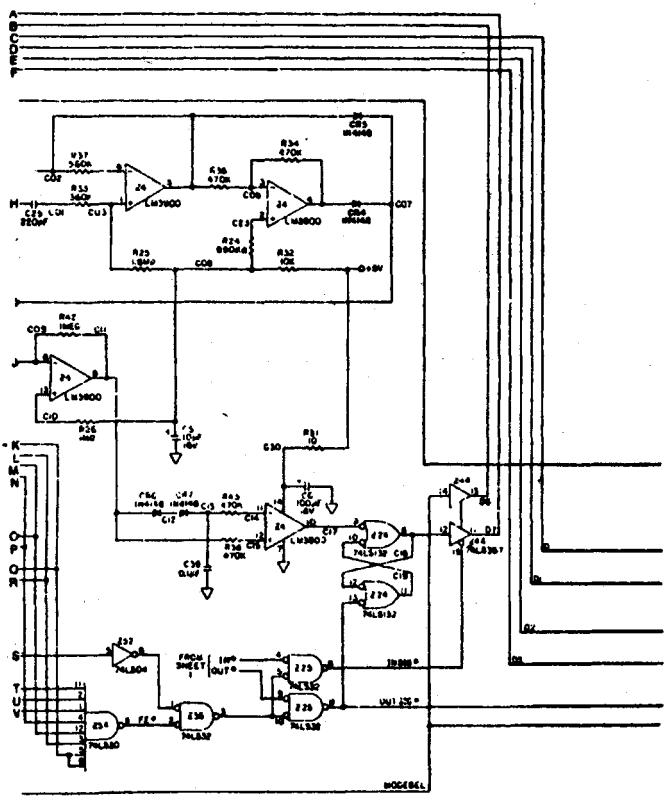


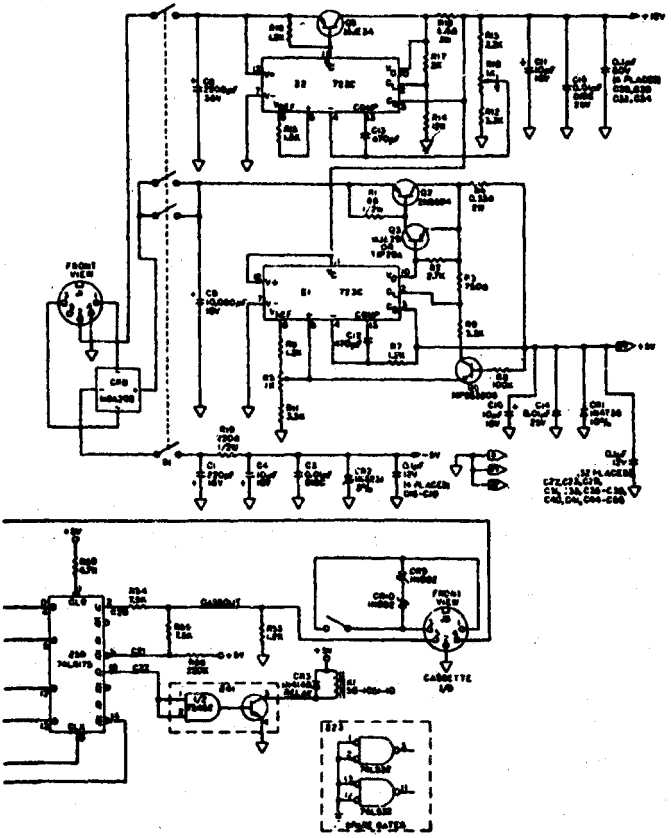
Fig. 9-4. TRS-80 schematic (second part).




74LS367
264
2K0
241
243
244
247
248
BIT 8
BIT 4
BIT 3
BIT 2
BIT 1
BIT 0
74LS174
74LS153
74LS02
74LS86
74LS04
MOMS70P
SHIFT/LOAD
CLR/INH
GRAPHIC
MODE&L
VDRV
HDRV
+5V
4.7K







Parts List

LEVEL I Logic Board

Symbol	Description	Part Number
	Printed Circuit Board, Logic	1700069
	CAPACITORS	
C1	200 μF, 16V, Electrolytic, Axial	1500059
C2	10 μF, 16V, Electrolytic, Radial	1500012
C3	0.01 μF, 10%, 25V, Disc	1500047
C4	10 μF, 16V, Electrolytic, Radial	1500012
C5	10 μF, 16V, Electrolytic, Radial	1500012
C6	100 μF, 16V, Electrolytic, Radial	1500014
C7	0.01 μF, 10%, 25V, Disc	1500047
C8	2,200 μF, 35V, Electrolytic, Axial	1500064
C9	10,000 μF, 16V, Electrolytic, Axial	1500058
C10	10 μF, 16V, Electrolytic, Radial	1500012
C11	10 μF, 16V, Electrolytic, Radial	1500012
C12	470 pF, 50V, Disc	1500057
C13	470 pF, 50V, Disc	1500057
C14	0.01 μF, 10%, 25V, Disc	1500047
C15	0.01 μF, 10%, 25V, Disc	1500047
C16	0.1 μF, 10%, 12V, Disc	1500052
C17	0.1 μF, 10%, 12V, Disc	1500052
C18	0.1 μF, 10%, 12V, Disc	1500052
C19	0.1 μF, 10%, 12V, Disc	1500052
C20	330 pf, 10%, 50V, Disc	1500062
C21	750 pF, 10%, 50V, Disc	1500050
C22	0.1 μF, 10%, 12V, Disc	1500052
C23	0.1 μF, 10%, 12V, Disc	1500052
C24	220 pf, 10%, 50V, Disc	1500061
C25	220 pF, 10%, 50V, Disc	1500061
C26	0.047 μF, 100V, Polyester Film	1500051
C27	0.022 F, 100V, Polyester Film	1500023
C28	0.1 μF, 10%, 50V, Disc	1500053
C29	0.1 μF, 10%, 12V, Disc	1500052
C30	0.1 μF, 10%, 50V, Disc	1500053
C31	0.1 μF, 10%, 12V, Disc	1500052
C32	0.1 μF, 10%, 50V, Disc	1500053
C33	0.1 μF, 10%, 12V, Disc	1500052
C34	0.1 μF, 10%, 50V, Disc	1500053
C35	0.1 μF, 10%, 12V, Disc	1500052
C36	0.1 μF, 10%, 12V, Disc	1500052
C37	0.1 μF, 10%, 12V, Disc	1500052
C38	0.1 μF, 10%, 12V, Disc	1500052
C39	0.1 μF, 10%, 12V, Disc	1500052
C40	0.1 μF, 10%, 12V, Disc	1500052
C41	0.1 μF, 10%, 12V, Disc	1500052
C42	22 μF, 16V, Electrolytic, Radial	1500055
C43	47 pF, 10%, 50V, Disc	1500048
C44	0.1 μF, 10%, 12V, Disc	1500052
C45	0.1 μF, 10%, 12V, Disc	1500052
C46	0.1 μF, 10%, 12V, Disc	1500052
C47	0.1 μF, 10%, 12V, Disc	1500052
C48	0.1 μF, 10%, 12V, Disc	1500052
C49	0.1 μF, 10%, 12V, Disc	1500052
C50	0.1 μF, 10%, 12V, Disc	1500052
C51	0.1 μF, 10%, 12V, Disc	1500052
C52	0.1 μF, 10%, 12V, Disc	1500052
C53	0.1 μF, 10%, 12V, Disc	1500052
C54	0.1 μF, 10%, 12V, Disc	1500052
C55	0.1 μF, 10%, 12V, Disc	1500052
C56	0.1 μF, 10%, 12V, Disc	1500052
C57	10 μF, 16V, Electrolytic, Radial	1500012
	DIODES	
CR1	1N4735, 10%, 6.2V, Zener	4800021
CR2	1N5231, 5%, 5.1V, Zener	4800022
CR3	1N4148, 75V	4800002
CR4	1N4148, 75V	4800002
CR5	1N4148, 75V	4800002
CR6	1N4148, 75V	4800002
CR7	1N4148, 75V	4800002
CR8	Bridge Rectifier, MDA202, 2A, 202V	4800023
CR9	1N982, 75V, Zener	4800026
CR10	1N982, 75V, Zener	4800026
	JACKS	
J1	Connector, Socket, DIN, 5 Pin	2100033

Symbol	Description	Part Number
J2	Connector, Socket, DIN, 5 Pin	2100033
J3	Connector, Socket, DIN, 5 Pin	2100033
	RELAY	
K1	5V Relay	4500001
	TRANSISTORS	
Q1	2N3904, NPN	4822001
Q2	MPS3906, PNP	4822003
Q3	TIP29, Driver	4820004
Q4	2N6594, Power	4824003
Q5	MPS3906, PNP	4822003
Q6	MJE34, Power	4824002
	RESISTORS	
R1	66 ohm, 1/2W, 5%	4708022
R2	2.7 K, 1/4W, 5%	4704056
R3	750 ohm, 1/4W, 5%	4704044
R4	0.33 ohm, 2W, 5%	4717004
R5	1K Trim Pot, 30%	4750019
R6	1.2 K, 1/4W, 5%	4704049
R7	1.2 K, 1/4W, 5%	4704049
R8	100 K, 1/4W, 5%	4704067
R9	3.3 K, 1/4W, 5%	4704058
R10	1 K, Trim Pot, 30%	4750019
R11	3.3 K, 1/4W, 5%	4704058
R12	3.3 K, 1/4W, 5%	4704058
R13	2.2 K, 1/4W, 5%	4704054
R14	12 K, 1/4W, 5%	4704070
R15	1.5 K, 1/4W, 5%	4704050
R16	1.2 K, 1/4W, 5%	4704049
R17	2 K, 1/4W, 5%	4704053
R18	5.6 ohm, 3W, 5%	4717003
R19	220 ohm, 1/2W, 5%	4708032
R20	100 K, Trim Pot, 20%	4750018
R21	100 K, Trim Pot, 20%	4750018
R22	75 ohm, 1/4W, 5%	4704023
R23	120 ohm, 1/4W, 5%	4704027
R24	680 K, 1/4W, 5%	4704100

Symbol	Description	Part Number
R25	1.6 Megohm, 1/4W, 5%	4704106
R26	1 Megohm, 1/4W, 5%	4704102
R27	330 ohm, 1/4W, 5%	4704036
R28	270 ohm, 1/4W, 5%	4704034
R29	1.8 K, 1/4W, 5%	4704052
R30	47 ohm, 1/4W, 5%	4704019
R31	10 ohm, 1/4W, 5%	4704011
R32	10 K, 1/4W, 5%	4704066
R33	360 K, 1/4W, 5%	4704098
R34	470 K, 1/4W, 5%	4704097
R35	470 K, 1/4W, 5%	4704097
R36	360 K, 1/4W, 5%	4704098
R37	560 K, 1/4W, 5%	4704099
R38	470 K, 1/4W, 5%	4704097
R39	4.7 K, 1/4W, 5%	4704061
R40	4.7 K, 1/4W, 5%	4704061
R41	470 K, 1/4W, 5%	4704097
R42	1.0 Megohm, 1/4W, 5%	4704102
R43	10 K, 1/4W, 5%	4704066
R44	10 K, 1/4W, 5%	4704066
R45	470 K, 1/4W, 5%	4704097
R46	910 ohm, 1/4W, 5%	4704046
R47	10 K, 1/4W, 5%	4704066
R48	4.7 K, 1/4W, 5%	4704061
R49	4.7 K, 1/4W, 5%	4704061
R50	4.7 K, 1/4W, 5%	4704061
R51	4.7 K, 1/4W, 5%	4704061
R52	910 Ohm, 1/4W, 5%	4704046
R53	1.2 K, 1/4W, 5%	4704049
R54	7.5 K, 1/4W, 5%	4704065
R55	7.5 K, 1/4W, 5%	4704065
R56	220 K, 1/4W, 5%	4704092
R57	4.7 K, 1/4W, 5%	4704061
R58	4.7 K, 1/4W, 5%	4704061
R59	4.7 K, 1/4W, 5%	4704061
R60	4.7 K, 1/4W, 5%	4704061
R61	4.7 K, 1/4W, 5%	4704061
R62	4.7 K, 1/4W, 5%	4704061
R63	4.7 K, 1/4W, 5%	4704061
R64	330 ohm, 1/4W, 5%	4704036
R65	10 K, 1/4W, 5%	4704066
R66	4.7 K, 1/4W, 5%	4704061
R67	100 ohm, 1/4W, 5%	4704025

*This part is included in Level II and is incorporated on all P.C. Boards of version G and after.

Symbol	Description	Part Number
	SWITCHES	
S1	4POT Push	5102008
S2	DPDT Push	5102009
	SINKS	
Sink Q4 Heatsink		5300003
Sink Q6-14 Heatsink		5300002
	SOCKETS	
X3	16 Pin I.C. Socket	2100037
X13	16 Pin I.C. Socket	2100037
X14	16 Pin I.C. Socket	2100037
X15	16 Pin I.C. Socket	2100037
X16	16 Pin I.C. Socket	2100037
X17	16 Pin I.C. Socket	2100037
X18	16 Pin I.C. Socket	2100037
X19	16 Pin I.C. Socket	2100037
X20	16 Pin I.C. Socket	2100037
X32	24 Pin I.C. Socket	2100034
X33	24 Pin I.C. Socket	2100034
X39	40 Pin I.C. Socket	2100035
X71	16 Pin I.C. Socket	2100037
	CRYSTAL	
Y1	10.6445 MHz, 0.004%, Series Res.	2300004
	INTEGRATED CIRCUITS	
Z1	723, DIP, Voltage Regulator	3100001
Z2	723, DIP, Voltage Regulator	3100001
Z4	LM3900, Dual Input Norton Amp.	3100002
Z5	74C00 CMOS, Quad 2-Input NAND Gate	3102026
Z6	74C04 CMOS, Hex Inverter	3102027
Z7	74LS74, Dual D Positive-Edge-Triggered Flip-Flop with Preset and Clear	3102015
Z8	Z4LS153, Dual 4-Line to 1-Line Data Selector/Multiplexer	3102019
Z9	74LS04, Hex Inverter	3102008

Symbol	Description	Part Number
Z10	74LS166, 8-Bit Parallel In/Serial Out Shift Register	3102021
Z11	74LS166, 8-Bit Parallel In/Serial Out Shift Register	3102021
Z12	74LS93, Divide by 8 Binary Counter Selector/Multiplexer	3102017
Z21	74LS156, Dual 2-Line to 4-Line Decoder/Demultiplexer	3102028
Z22	74LS367, TRI-STATE Hex Buffer	3102024
Z23	74LS32, Quad 2-Input OR Gate	3102014
Z24	74LS132, Quad 2-Input NAND Gate	3102018
Z25	74LS32, Quad 2-Input OR Gate	3102014
Z26	74LS20, Dual, 4-Input NAND Gate	3102011
Z27	74LS175, Quad D Flip-Flop with Clear	3102023
Z28	74LS174, Hex D Flip-Flop with Clear	3102022
Z29	MCM6670, Character Generator	3108001
Z30	74LS02, Quad, 2-Input NOR Gate	3102007
Z31	74LS157, Quad 2-Line to 1-Line Data Selector/Multiplexer	3102020
Z32	74LS93, Divide by 8 Binary Counter Selector/Multiplexer	3102017
Z33	2 K x 8 ROM A, 450 ns, 2 Patterns	3108011
Z34	2 K x 8 ROM B, 450 ns, 2 Patterns	3108012
Z35	74LS157, Quad 2-Line to 1-Line Data Selector/Multiplexer	3102020
Z36	74LS32, Quad 2-Input OR Gate	3102014
Z37	74LS02, Quad 2-Input NOR Gate	3102007
Z38	74LS367, TRI-STATE Hex Buffer	3102024
Z39	74LS367, TRI-STATE Hex Buffer	3102024
Z40	Z80 Microprocessor Circuit, Plastic	3110001
Z41	75452, Relay Driver	3106002
Z42	74LS04, Hex Inverter	3102008
Z43	74LS157, Quad 2-Line to 1-Line Data Selector/Multiplexer	3102020
Z44	74LS367, TRI-STATE Hex Buffer	3102024
Z45	2102, AN-4L, 1 K Static RAM	3108002
Z46	2102, AN-4L, 1 K Static RAM	3108002
Z47	2102, AN-4L, 1 K Static RAM	3108002
Z48	2102, AN-4L, 1 K Static RAM	3108002
Z49	74LS157, Quad 2-Line to 1-Line Data Selector/Multiplexer	3102020

Symbol	Description	Part Number
Integrated Circuits		
Z50	74LS93, Divide by 8 Binary Counter	
	Selector/Multiplexer	3102017
Z51	74LS157, Quad 2-Line to 1-Line Data	
	Selector/Multiplexer	3102020
Z52	74LS04, Hex Inverter	3102008
Z53	74LS132, Quad 2-Input NAND Gate	3102018
Z54	74LS30, Triple 3-Input NOR Gate	3102013
Z55	74LS367, TRI-STATE, Hex Buffer	3102024
Z56	74LS92, Divide by 6 Binary Counter	
	Selector/Multiplexer	3102016
Z57	74C04 CMOS, Hex Inverter	3102027
Z58	74LS92, Divide by 6 Binary Counter	
	Selector/Multiplexer	3102016
Z59	74LS175, Quad D Flip-Flop	
	with Clear	3102023
Z60	74LS367, TRI-STATE Hex Buffer	3102024
Z61	2102, AN-4L, 1 K Static RAM	3108002
Z62	2102, AN-4L, 1 K Static RAM	3108002
Z63	2102, AN-4L, 1 K Static RAM	3108002
Z64	74LS157, Quad 2-Line to 1-Line Data	
	Selector/Multiplexer	3102020
Z65	74LS93, Divide by 8 Binary Counter	
	Selector/Multiplexer	3102017
Z66	74LS11, Triple 3-Input AND Gate	3102010
Z67	74LS367, TRI-STATE Hex Buffer	3102024
Z68	74LS367, TRI-STATE Hex Buffer	3102024
Z69	74LS74, Dual D Positive-Edge-Triggered	
	Flip-Flop with Preset and Clear	3102015
Z70	74LS74, Dual D Positive-Edge-Triggered	
	Flip-Flop with Preset and Clear	3102015
Z71	Not used	
Z72	74LS367, TRI-STATE Hex Buffer	3102024
Z73	74LS32, Quad 2-Input OR Gate	3102014
Z74	74LS00, Quad 2-Input NAND Gate	3102006
Z75	74LS367, TRI-STATE Hex Buffer	3102024
Z76	74LS367, TRI-STATE Hex Buffer	3102024

4K RAM Kit

Symbol	Description	Part Number
A3	DIP Shunt	2100041
A71	DIP Shunt	2100041
Z13	4096 bit, Dynamic RAM, 450 ns	3108003
Z14	4096 bit, Dynamic RAM, 450 ns	3108003
Z15	4096 bit, Dynamic RAM, 450 ns	3108003
Z16	4096 bit, Dynamic RAM, 450 ns	3108003
Z17	4096 bit, Dynamic RAM, 450 ns	3108003
Z18	4096 bit, Dynamic RAM, 450 ns	3108003
Z19	4096 bit, Dynamic RAM, 450 ns	3108003
Z20	4096 bit, Dynamic RAM, 450 ns	3108003

-OR-

16K RAM List

A3	DIP Shunt	2100041
A71	DIP Shunt	2100041
Z13	16384 bit, Dynamic RAM, 450 ns	3108009
Z14	16384 bit, Dynamic RAM, 450 ns	3108009
Z15	16384 bit, Dynamic RAM, 450 ns	3108009
Z16	16384 bit, Dynamic RAM, 450 ns	3108009
Z17	16384 bit, Dynamic RAM, 450 ns	3108009
Z18	16384 bit, Dynamic RAM, 450 ns	3108009
Z19	16384 bit, Dynamic RAM, 450 ns	3108009
Z20	16384 bit, Dynamic RAM, 450 ns	3108009

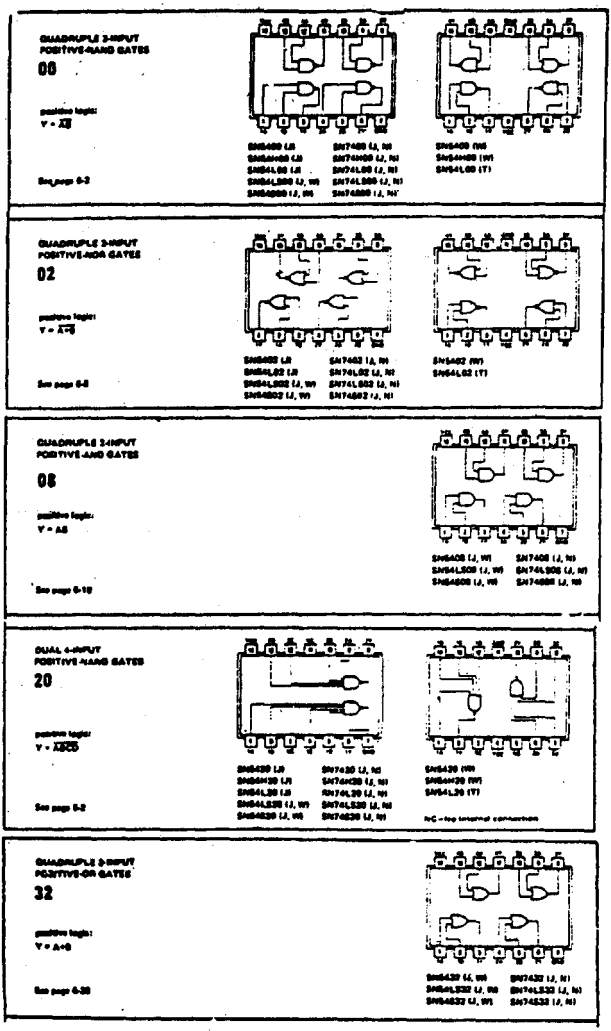
Keyboard

Symbol	Description	Part Number
	Printed Circuit Board, Keyboard	1700070
	CAPACITORS	
C1	0.1 μF, 10%, 12V, Disc	1500052
C2	0.1 μF, 10%, 12V, Disc	1500052
	DIODES	
CR1	LED, HP5082-4850, Red	2400025
	KEYBOARD	
KB1	DS5300, 53 Key, 2-Shot Key caps	5100013
	RESISTORS	
R1	4.7 K, 1/4W, 5%	4704061
R2	4.7 K, 1/4W, 5%	4704061
R3	4.7 K, 1/4W, 5%	4704061
R4	4.7 K, 1/4W, 5%	4704061
R5	4.7 K, 1/4W, 5%	4704061
R6	4.7 K, 1/4W, 5%	4704061
R7	4.7 K, 1/4W, 5%	4704061
R8	4.7 K, 1/4W, 5%	4704061
R9	330 ohm, 1/4W, 5%	4704036
	INTEGRATED CIRCUITS	
Z1	74LS05, Hex Buffer with open collector High Voltage outputs	3102009
Z2	74LS05, Hex Buffer with open collector High Voltage outputs	3102009
Z3	74LS368, TRI-STATE Hex Buffer	3102025
Z4	74LS368, TRI-STATE Hex Buffer	3102025
	WIRE	
W1	Stranded, Prebonded, LED, Red, 10"	6002526
W2	Stranded, Prebonded, LED, Black, 10"	6000526

Level II Kit

Symbol	Description	Part Number
	Printed Circuit Board, Level II ROM Adapter	1700081
J1	Socket, I.C., 24 Pin	2100034
R1	Resistor, 4.7K, 1/4W, 5%	4704061
Z1	I.C., 4K x 8 ROM, 450ns, ROM A	3108013
Z2	I.C., 4K x 8 ROM, 450ns, ROM B	3108014
Z3	I.C., 4K x 8 ROM, 450ns, ROM C	3108015
Z4	I.C., 74LS42, BCD to Decimal Decoder	3102036

74LS	00	P 1
74LS	02	P 1
74LS	08	P 1
74LS	20	P 1
74LS	32	P 1
74LS	51	P 1
74LS	74	P 1
74LS	86	P 1
74LS	138	P 2
74LS	151	P 3
74LS	153	P 4
74LS	161	P 5
74LS	166	P 6
74LS	174	P 7
74LS	175	P 7
74LS	194	P 8
74LS	251	P 9
74LS	257	P 9
74LS	283	P10
2114	RAM	P13
2716	ROM	P11
4116	RAM	P13
2732	ROM	P12
2532	ROM	P12

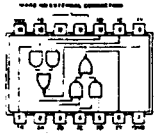


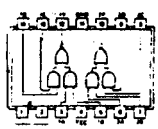
AND-OR-INVERT GATES

51

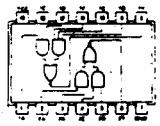
'51, 'H51, 'S51
DUAL 2-WIDE 2-INPUT

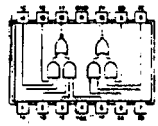
Y = $\overline{AB+CD}$





'LS51, 'LS64
2-WIDE 3-INPUT
2-WIDE 2-INPUT





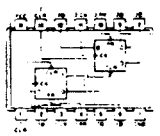
See page 6-30

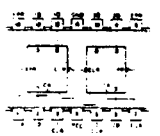
DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR

74

FUNCTION TABLE

INPUTS				OUTPUTS	
PRESET	CLEAR	CLOCK	D	Q	$\overline{Q}$
L	H	↑	H	H	L
H	L	↑	L	L	H
L	L	↑	X	H†	H†
H	H	↓	X	Q$_0$	$\overline{Q}_0$
H	H	L	X	Q$_0$	$\overline{Q}_0$
L	L	X	X	H†	H†

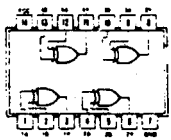




See pages 6-46, 6-50, 6-54, and 6-58

QUADRUPLE 2-INPUT EXCLUSIVE-OR GATES

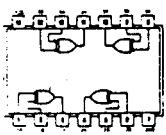
86 Y = A ⊕ B = $\overline{A}$B + A$\overline{B}$

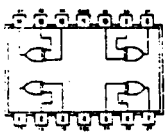


FUNCTION TABLE

INPUTS		OUTPUT
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

H = high level, L = low level





See page 7-48

TTL
MSI

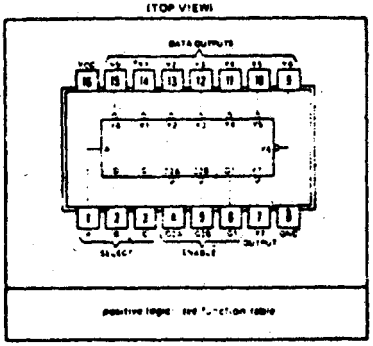
TYPES SN54LS138, SN54LS139, SN54S138, SN54S139, SN74LS138, SN74LS139, SN74S138, SN74S139 DECODERS/DEMULTIPLEXERS

BULLETIN NO. DL-S 7611804, DECEMBER 1972 - REVISED OCTOBER 1976

- Designed Specifically for High-Speed:
  Memory Decoders
  Data Transmission Systems
- 'S138 and 'LS138 3-to-8-Line Decoders Incorporate 3 Enable Inputs to Simplify Cascading and/or Data Reception
- 'S139 and 'LS139 Contain Two Fully Independent 2-to-4-Line Decoders/Demultiplexers
- Schottky Clamped for High Performance

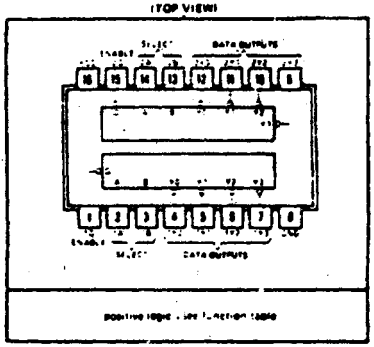
TYPE	TYPICAL PROPAGATION DELAY (3 LEVELS OF LOGIC)	TYPICAL POWER DISSIPATION
'LS138	22 ns	32 mW
'S138	8 ns	245 mW
'LS139	22 ns	34 mW
'S139	7.5 ns	300 mW

SN54LS138, SN54S138 . . . J OR W PACKAGE
SN74LS138, SN74S138 . . . J OR N PACKAGE
(TOP VIEW)



positive logic: see function table

SN54LS139, SN54S139 . . . J OR W PACKAGE
SN74LS139, SN74S139 . . . J OR N PACKAGE
(TOP VIEW)



positive logic: see function table

description

These Schottky-clamped TTL MSI circuits are designed to be used in high-performance memory-decoding or data-routing applications requiring very short propagation delay times. In high-performance memory systems these decoders can be used to minimize the effects of system decoding. When employed with high-speed memories utilizing a fast-enable circuit the delay times of these decoders and the enable time of the memory are usually less than the typical access time of the memory. This means that the effective system delay introduced by the Schottky-clamped system decoder is negligible.

The 'LS138 and 'S138 decode one-of-eight lines dependent on the conditions at the three binary select inputs and the three enable inputs. Two active-low and one active-high enable inputs reduce the need for external gates or inverters when expanding. A 24-line decoder can be implemented without external inverters and a 32-line decoder requires only one inverter. An enable input can be used as a data input for demultiplexing applications.

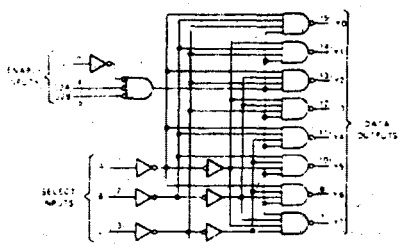
The 'LS139 and 'S139 comprise two individual two-line-to-four-line decoders in a single package. The active-low enable input can be used as a data line in demultiplexing applications.

All of these decoders/demultiplexers feature fully buffered inputs each of which represents only one normalized Series 54LS/74LS load ('LS138, 'LS139) or one normalized Series 54S/74S load ('S138, 'S139) to its driving circuit. All inputs are clamped with high-performance Schottky diodes to suppress line-ringing and simplify system design. Series 54LS and 54S devices are characterized for operation over the full military temperature range of −55°C to 125°C. Series 74LS and 74S devices are characterized for 0°C to 70°C industrial systems.

TYPES SN54LS138, SN54S138, SN54LS139, SN54S139
SN74LS138, SN74S138, SN74LS139, SN74S139
DECODERS/DEMULTIPLEXERS

functional block diagrams and logic

'LS138, 'S138

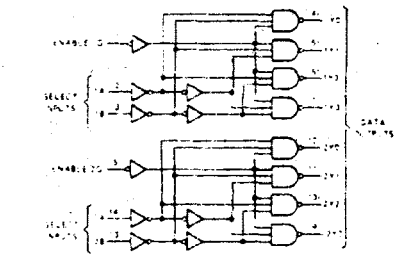


'LS138, 'S138
FUNCTION TABLE

INPUTS					OUTPUTS							
ENABLE		SELECT										
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

*G2 = G2A + G2B

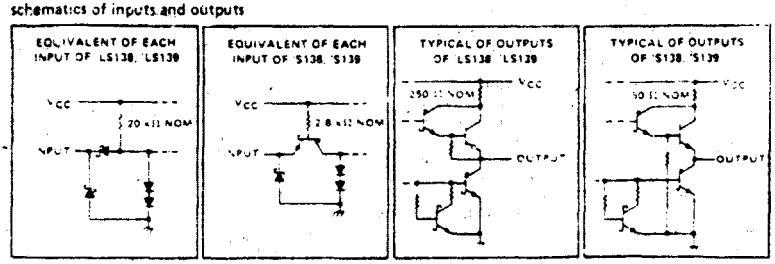
'LS139, 'S139



LS139, S139
(EACH DECODER/DEMULTIPLEXER)
FUNCTION TABLE

INPUTS			OUTPUTS			
ENABLE	SELECT					
G	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

schematics of inputs and outputs



TYPES SN54150, SN54151A, SN54152A, SN54LS151, SN54LS152, SN54S151, SN74150, SN74151A SN74LS151, SN74S151
DATA SELECTORS/MULTIPLEXERS

REVISED OCTOBER 1976

logic

'150

FUNCTION TABLE

INPUTS					OUTPUT
SELECT				STROBE	
D	C	B	A	S	W
X	X	X	X	H	H
L	L	L	L	L	$\overline{E0}$
L	L	L	H	L	$\overline{E1}$
L	L	H	L	L	$\overline{E2}$
L	L	H	H	L	$\overline{E3}$
L	H	L	L	L	$\overline{E4}$
L	H	L	H	L	$\overline{E5}$
L	H	H	L	L	$\overline{E6}$
L	H	H	H	L	$\overline{E7}$
H	L	L	L	L	$\overline{E8}$
H	L	L	H	L	$\overline{E9}$
H	L	H	L	L	$\overline{E10}$
H	L	H	H	L	$\overline{E11}$
H	H	L	L	L	$\overline{E12}$
H	H	L	H	L	$\overline{E13}$
H	H	H	L	L	$\overline{E14}$
H	H	H	H	L	$\overline{E15}$

'151A, 'LS151, 'S151

FUNCTION TABLE

INPUTS				OUTPUTS	
SELECT			STROBE		
C	B	A	S	Y	W
X	X	X	H	L	H
L	L	L	L	D0	$\overline{D0}$
L	L	H	L	D1	$\overline{D1}$
L	H	L	L	D2	$\overline{D2}$
L	H	H	L	D3	$\overline{D3}$
H	L	L	L	D4	$\overline{D4}$
H	L	H	L	D5	$\overline{D5}$
H	H	L	L	D6	$\overline{D6}$
H	H	H	L	D7	$\overline{D7}$

'152A, 'LS152

FUNCTION TABLE

SELECT INPUTS			OUTPUT
C	B	A	W
L	L	L	$\overline{D0}$
L	L	H	$\overline{D1}$
L	H	L	$\overline{D2}$
L	H	H	$\overline{D3}$
H	L	L	$\overline{D4}$
H	L	H	$\overline{D5}$
H	H	L	$\overline{D6}$
H	H	H	$\overline{D7}$

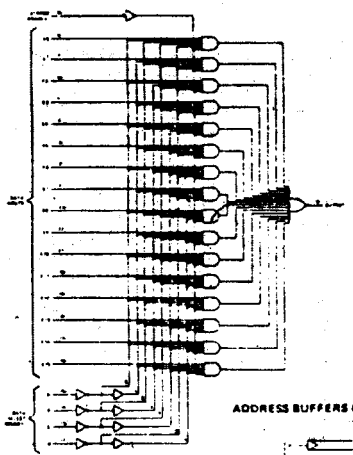
H = high level, L = low level, X = irrelevant

$\overline{E0}$ $\overline{E1}$ . . . $\overline{E15}$ = the complement of the level of the respective E input

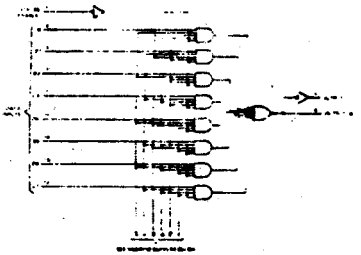
D0, D1 . . . D7 = the level of the D respective input

functional block diagrams

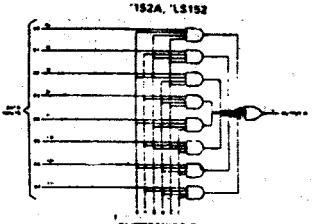
'150



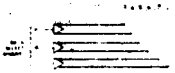
'151A, 'LS151, 'S151



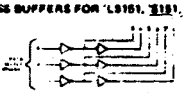
'152A, 'LS152



ADDRESS BUFFERS FOR '151A, '152A



ADDRESS BUFFERS FOR 'LS151, 'S151, 'LS152



TYPES SN54150, SN54151A, SN54152A, SN54LS151, SN54LS152, SN54S151, SN74150, SN74151A, SN74LS151, SN74S151
DATA SELECTORS/MULTIPLEXERS

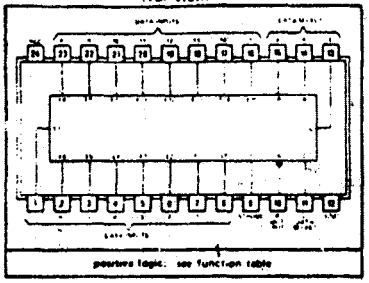
BULLETIN NO. DL-S 7611819, DECEMBER 1972 - REVISED OCTOBER 1976

- '150 Selects One-of-Sixteen Data Sources
- Others Select One-of-Eight Data Sources
- Performs Parallel-to-Serial Conversion
- Permits Multiplexing from N Lines to One Line
- Also For Use as Boolean Function Generator
- Input-Clamping Diodes Simplify System Design
- Fully Compatible with Most TTL and DTL Circuits

TYPE	TYPICAL AVERAGE PROPAGATION DELAY TIME DATA INPUT TO W OUTPUT	TYPICAL POWER DISSIPATION
'150	11 ns	200 mW
'151A	8 ns	145 mW
'152A	8 ns	130 mW
'LS151	11 ns†	30 mW
'LS152	11 ns†	28 mW
'S151	4.5 ns	225 mW

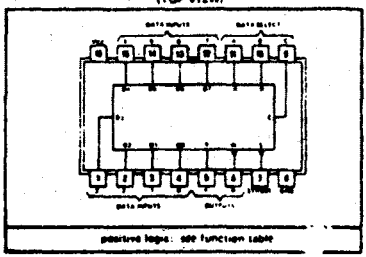
†Tentative data

SN54150 . . . J OR W PACKAGE
SN74150 . . . J OR N PACKAGE
(TOP VIEW)



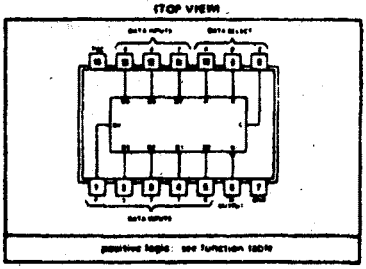
positive logic: see function table

SN54151A, SN54LS151, SN54S151 . . . J OR W PACKAGE
SN74151A, SN74LS151, SN74S151 . . . J OR N PACKAGE
(TOP VIEW)



positive logic: see function table

SN54152A, SN54LS152 . . . W PACKAGE
(TOP VIEW)



positive logic: see function table

description

These monolithic data selectors/multiplexers contain full on-chip binary decoding to select the desired data source. The '150 selects one-of-sixteen data sources; the '151A, '152A, 'LS151, 'LS152, and 'S151 select one-of-eight data sources. The '150, '151A, 'LS151, and 'S151 have a strobe input which must be at a low logic level to enable these devices. A high level at the strobe forces the W output high, and the Y output (as applicable) low.

The '151A, 'LS151, and 'S151 feature complementary W and Y outputs whereas the '150, '152A, and 'LS152 have an inverted (W) output only.

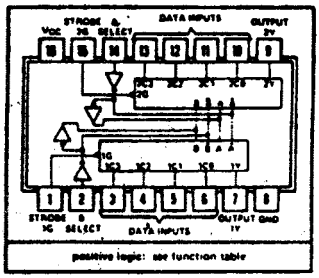
The '151A and '152A incorporate address buffers which have symmetrical propagation delay times through the complementary paths. This reduces the possibility of transients occurring at the output(s) due to changes made at the select inputs, even when the '151A outputs are enabled (i.e., strobe low).

TTL
MSI

TYPES SN54153, SN54L153, SN54LS153, SN54S153, SN74153, SN74L153, SN74LS153, SN74S153
DUAL 4-LINE-TO-1-LINE DATA SELECTORS/MULTIPLEXERS

BULLETIN NO. DL-S 7611952, DECEMBER 1972 – REVISED OCTOBER 1976

SN54153, SN54LS153, SN54S153 . . . J OR W PACKAGE
SN54L153 . . . J PACKAGE
SN74153, SN74L153, SN74LS153, SN74S153 . . . J OR N PACKAGE
(TOP VIEW)



- Permits Multiplexing from N lines to 1 line
- Performs Parallel-to-Serial Conversion
- Strobe (Enable) Line Provided for Cascading (N lines to n lines)
- High-Fan-Out, Low-Impedance, Totem-Pole Outputs
- Fully Compatible with most TTL and DTL Circuits

TYPE	TYPICAL AVERAGE PROPAGATION DELAY TIMES FROM DATA	FROM STROBE	FROM SELECT	TYPICAL POWER DISSIPATION
'153	14 ns	17 ns	22 ns	180 mW
'L153	27 ns	34 ns	44 ns	90 mW
'LS153	14 ns	19 ns	22 ns	31 mW
'S153	6 ns	8.5 ns	12 ns	225 mW

FUNCTION TABLE

SELECT INPUTS		DATA INPUTS				STROBE	OUTPUT
B	A	C0	C1	C2	C3	G	Y
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

Select inputs A and B are common to both sections.
H = high level, L = low level, X = irrelevant

description

Each of these monolithic, data selectors/multiplexers contains inverters and drivers to supply fully complementary, on-chip, binary decoding data selection to the AND-OR-invert gates. Separate strobe inputs, are provided for each of the two four-line sections.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

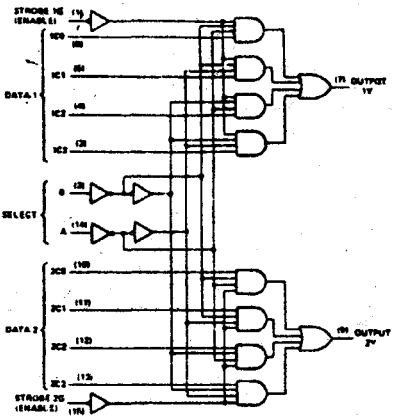
Supply voltage, V_{CC} (see Note 1) . . . . . 7 V
Input voltage: '153, 'L153, 'S153 . . . . . 5.5 V
'LS153 . . . . . 7 V
Operating free-air temperature range: SN54', SN54L', SN54LS', SN54S' Circuits . . . . . −55°C to 125°C
SN74', SN74L', SN74LS', SN74S' Circuits . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

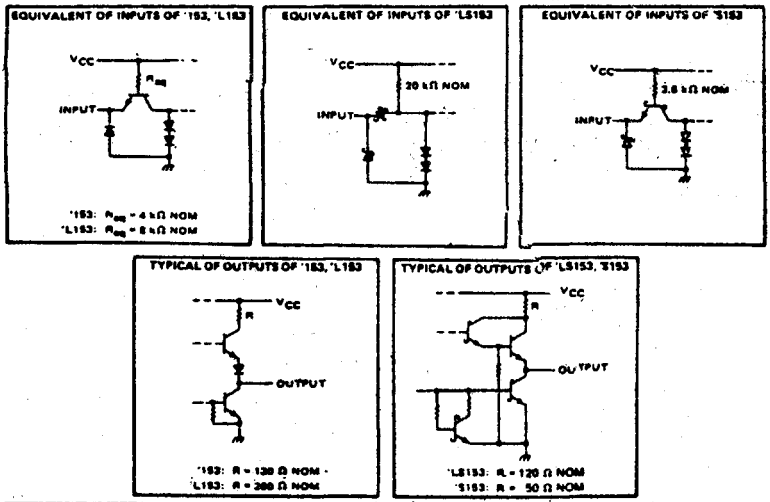
TYPES SN54153, SN54L153, SN54LS153, SN54S153, SN74153, SN74L153, SN74LS153, SN74S153
DUAL 4-LINE-TO-1-LINE DATA SELECTORS/MULTIPLEXERS

REVISED OCTOBER 1976

functional block diagram



schematics of inputs and outputs



TTL MSI

TYPES SN54160 THRU SN54163, SN54LS160A THRU SN54LS163A, SN54S162, SN54S163, SN74160 THRU SN74163, SN74LS160A THRU SN74LS163A, SN74S162, SN74S163 SYNCHRONOUS 4-BIT COUNTERS

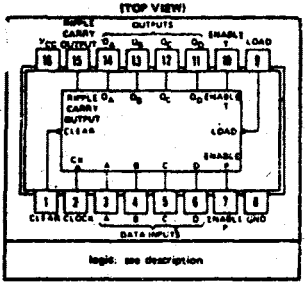
BULLETIN NO. DL-S 7711385, OCTOBER 1976—REVISED AUGUST 1977

'160, '161, 'LS160A, 'LS161A . . . SYNCHRONOUS COUNTERS WITH DIRECT CLEAR
'162, '163, 'LS162A, 'LS163A, 'S162, 'S163 . . . FULLY SYNCHRONOUS COUNTERS

- Internal Look-Ahead for Fast Counting
- Carry Output for n-Bit Cascading
- Synchronous Counting
- Synchronously Programmable
- Load Control Line
- Diode-Clamped Inputs

TYPE	TYPICAL PROPAGATION TIME, CLOCK TO Q OUTPUT	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'160 thru '163	14 ns	32 MHz	305 mW
'LS160A thru 'LS163A	14 ns	32 MHz	93 mW
'S162 and 'S163	9 ns	70 MHz	475 mW

SERIES 54', 54LS', 54S' . . . J OR W PACKAGE
SERIES 74', 74LS', 74S' . . . J OR N PACKAGE
(TOP VIEW)



description

These synchronous, presettable counters feature an internal carry look-ahead for application in high-speed counting designs. The '160, '162, 'LS160A, 'LS162A, and 'S162 are decade counters and the '161, '163, 'LS161A, 'LS163A, and 'S163 are 4-bit binary counters. Synchronous operation is provided by having all flip-flops clocked simultaneously so that the outputs change coincident with each other when so instructed by the count-enable inputs and internal gating. This mode of operation eliminates the output counting spikes that are normally associated with asynchronous (ripple clock) counters. A buffered clock input triggers the four flip-flops on the rising (positive-going) edge of the clock input waveform.

These counters are fully programmable; that is, the outputs may be preset to either level. As presetting is synchronous, setting up a low level at the load input disables the counter and causes the outputs to agree with the setup data after the next clock pulse regardless of the levels of the enable inputs. Low-to-high transitions at the load input of the '160 thru '163 should be avoided when the clock is low if the enable inputs are high at or before the transition. This restriction is not applicable to the 'LS160A thru 'LS163A or 'S162 or 'S163. The clear function for the '160, '161, 'LS160A, and 'LS161A is asynchronous and a low level at the clear input sets all four of the flip-flop outputs low regardless of the levels of clock, load, or enable inputs. The clear function for the '162, '163, 'LS162A, 'LS163A, 'S162, and 'S163 is synchronous and a low level at the clear input sets all four of the flip-flop outputs low after the next clock pulse, regardless of the levels of the enable inputs. This synchronous clear allows the count length to be modified easily as decoding the maximum count desired can be accomplished with one external NAND gate. The gate output is connected to the clear input to synchronously clear the counter to 0000 (LLLL). Low-to-high transitions at the clear input of the '162 and '163 should be avoided when the clock is low if the enable and load inputs are high at or before the transition.

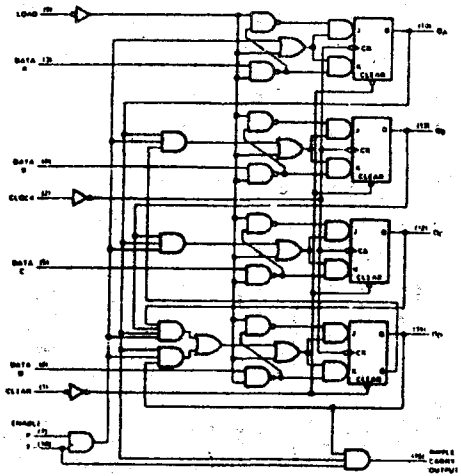
The carry look-ahead circuitry provides for cascading counters for n-bit synchronous applications without additional gating. Instrumental in accomplishing this function are two count-enable inputs and a ripple carry output. Both count-enable inputs (P and T) must be high to count, and input T is fed forward to enable the ripple carry output. The ripple carry output thus enabled will produce a high-level output pulse with a duration approximately equal to the high-level portion of the Q_A output. This high-level overflow ripple carry pulse can be used to enable successive cascaded stages. High-to-low-level transitions at the enable P or T inputs of the '160 thru '163 should occur only when the clock input is high. Transitions at the enable P or T inputs of the 'LS160A thru 'LS163A or 'S162 and 'S163 are allowed regardless of the level of the clock input.

'LS160A thru 'LS163A, 'S162 and 'S163 feature a fully independent clock circuit. Changes at control inputs (enable P or T, or clear) that will modify the operating mode have no effect until clocking occurs. The function of the counter (whether enabled, disabled, loading, or counting) will be dictated solely by the conditions meeting the stable setup and hold times.

The 'LS160A thru 'LS163A are completely new designs. Compared to the original 'LS160 thru 'LS163, they feature 0-nanosecond minimum hold time and reduced input currents I_{IH} and I_{IL}.

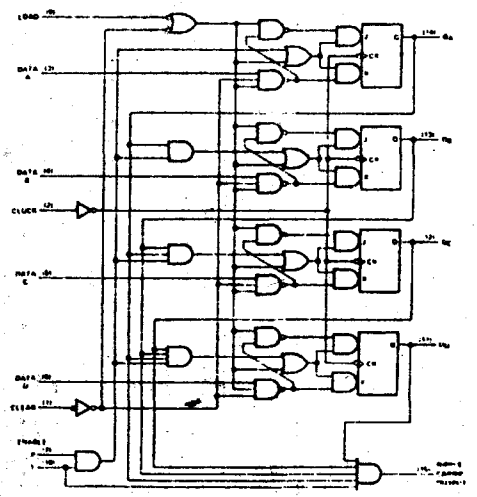
SN54162, SN74162 SYNCHRONOUS DECADE COUNTERS

SN54162, SN74162 synchronous decade counters are similar; however the clear is synchronous as shown for the SN54163, SN74163 binary counters at right.



SN54163, SN74163 SYNCHRONOUS BINARY COUNTERS

SN54161, SN74161 synchronous binary counters are similar; however, the clear is asynchronous as shown for the SN54160, SN74160 decade counters at left.



TTL
MSI

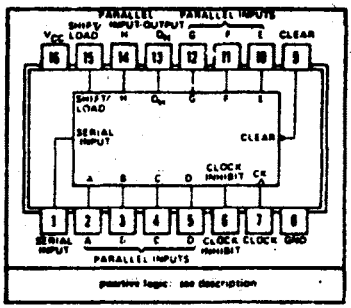
TYPES SN54166, SN54LS166, SN74166, SN74LS166
8-BIT SHIFT REGISTERS

BULLETIN NO. DL-S7711866, OCTOBER 1976—REVISED AUGUST 1977

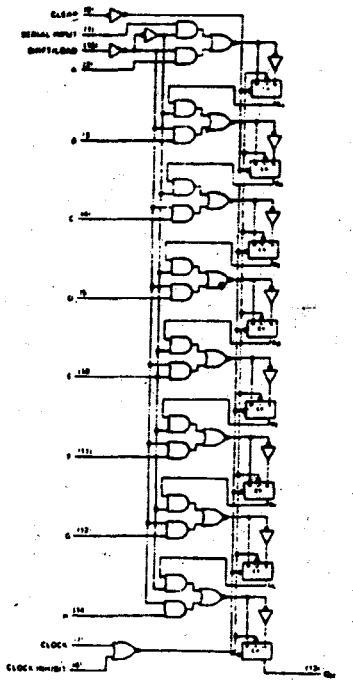
- Synchronous Load
- Direct Overriding Clear
- Parallel to Serial Conversion

TYPE	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'166	35 MHz	360 mW
'LS166	35 MHz	110 mW

SN54166, SN54LS166 . . . J OR W PACKAGE
SN74166, SN74LS166 . . . J OR N PACKAGE
(TOP VIEW)



functional block diagram



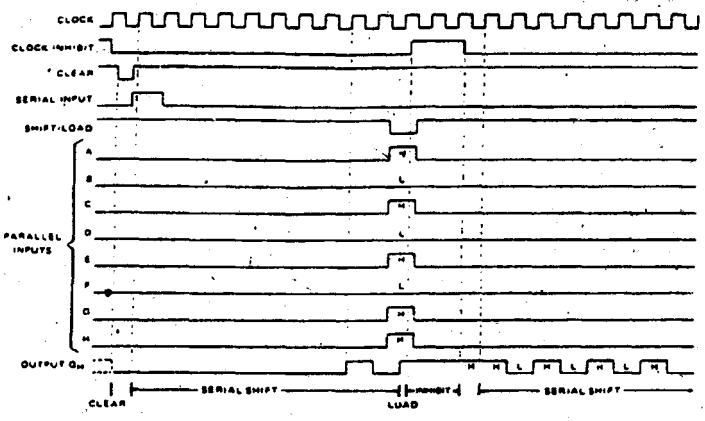
description

The '166 and 'LS166 8-bit shift registers are compatible with most other TTL and DTL logic families. All '166 and 'LS166 inputs are buffered to lower the drive requirements to one Series 54/74 or Series 54LS/74LS standard load, respectively. Input clamping diodes minimize switching transients and simplify system design.

These parallel-in or serial-in, serial-out shift registers have a complexity of 77 equivalent gates on a monolithic chip. They feature gated clock inputs and an overriding clear input. The parallel-in or serial-in modes are established by the shift/load input. When high, this input enables the serial data input and couples the eight flip-flops for serial shifting with each clock pulse. When low, the parallel (broadside) data inputs are enabled and synchronous loading occurs on the next clock pulse. During parallel loading, serial data flow is inhibited. Clocking is accomplished on the low-to-high-level edge of the clock pulse through a two-input positive NOR gate permitting one input to be used as a clock-enable or clock-inhibit function. Holding either of the clock inputs high inhibits clocking, holding either low enables the other clock input. This, of course, allows the system clock to be free-running and the register can be stopped on command with the other clock input. The clock-inhibit input should be changed to the high level only while the clock input is high. A buffered, direct clear input overrides all other inputs, including the clock, and sets all flip-flops to zero.

TYPES SN54166, SN54LS'166, SN74166, SN74LS166
8-BIT SHIFT REGISTERS

typical clear, shift, load, inhibit, and shift sequences



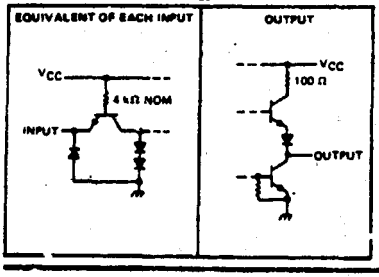
FUNCTION TABLE

INPUTS						INTERNAL OUTPUTS		OUTPUT
CLEAR	SHIFT/ LOAD	CLOCK INHIBIT	CLOCK	SERIAL	PARALLEL A . . . H	Q_A	Q_B	Q_H
L	X	X	X	X	X	L	L	L
H	X	L	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	L	L	↑	X	a . . . h	a	b	h
H	H	L	↑	H	X	H	Q_{An}	Q_{Gn}
H	H	L	↑	L	X	L	Q_{An}	Q_{Gn}
H	X	H	↑	X	X	Q_{A0}	Q_{B0}	Q_{H0}

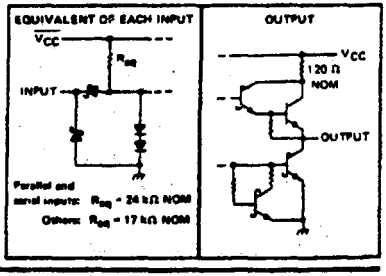
See explanation of function tables on page 3-6.

schematics of inputs and outputs

'166



'LS166



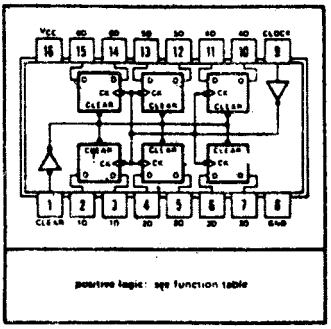
TYPES SN54174, SN54175, SN54LS174, SN54LS175, SN54S174, SN54S175, SN74174, SN74175, SN74LS174, SN74LS175, SN74S174, SN74S175
HEX/QUADRUPLE D-TYPE FLIP-FLOPS WITH CLEAR

BULLETIN NO. DL-S 7611803, DECEMBER 1972 - REVISED OCTOBER 1976

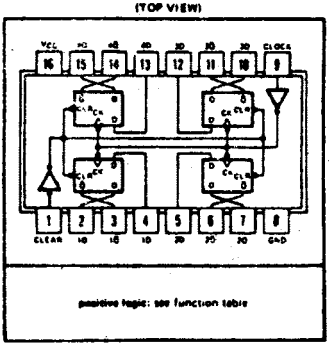
'174, 'LS174, 'S174 . . . HEX D-TYPE FLIP-FLOPS
'175, 'LS175, 'S175 . . . QUADRUPLE D-TYPE FLIP-FLOPS

- '174, 'LS174, 'S174 Contain Six Flip-Flops with Single-Rail Outputs
- '175, 'LS175, 'S175 Contain Four Flip-Flops with Double-Rail Outputs
- Three Performance Ranges Offered: See Table Lower Right
- Buffered Clock and Direct Clear Inputs
- Individual Data Input to Each Flip-Flop
- Applications include:
  - Buffer/Storage Registers
  - Shift Registers
  - Pattern Generators

SN54174, SN54LS174, SN54S174 . . . J OR W PACKAGE
SN74174, SN74LS174, SN74S174 . . . J OR N PACKAGE
(TOP VIEW)



SN54175, SN54LS175, SN54S175 . . . J OR W PACKAGE
SN74175, SN74LS175, SN74S175 . . . J OR N PACKAGE
(TOP VIEW)



description

These monolithic, positive-edge-triggered flip-flops utilize TTL circuitry to implement D-type flip-flop logic. All have a direct clear input, and the '175, 'LS175, and 'S175 feature complementary outputs from each flip-flop.

Information at the D inputs meeting the setup time requirements is transferred to the Q outputs on the positive-going edge of the clock pulse. Clock triggering occurs at a particular voltage level and is not directly related to the transition time of the positive-going pulse. When the clock input is at either the high or low level, the D input signal has no effect at the output.

These circuits are fully compatible for use with most TTL or DTL circuits.

FUNCTION TABLE
(EACH FLIP-FLOP)

INPUTS			OUTPUTS	
CLEAR	CLOCK	D	Q	$\bar{Q}$†
L	X	X	L	H
H	↑	H	H	L
H	↑	L	L	H
H	L	X	Q_0	$\bar{Q}_0$

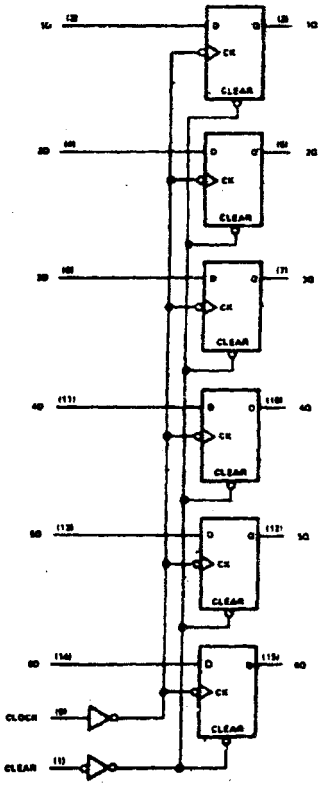
H = high level (steady state)
L = low level (steady state)
X = irrelevant
↑ = transition from low to high level
Q_0 = the level of Q before the indicated steady state input conditions were established
† = '175, 'LS175, and 'S175 only

TYPES	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION PER FLIP-FLOP
'174, '175	35 MHz	38 mW
'LS174, 'LS175	40 MHz	14 mW
'S174, 'S175	110 MHz	75 mW

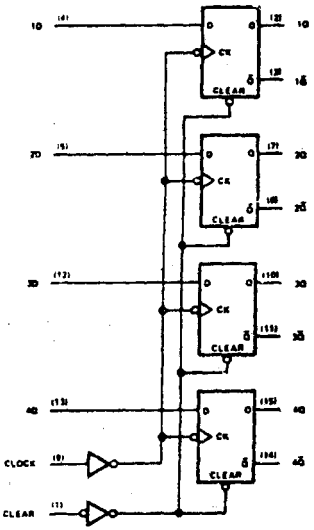
TYPES SN54174, SN54175, SN54LS174, SN54LS175, SN54S174, SN54S175, SN74174, SN74175, SN74LS174, SN74LS175, SN74S174, SN74S175
HEX/QUADRUPLE D-TYPE FLIP-FLOPS WITH CLEAR

functional block diagrams

'174, 'LS174, 'S174



'175, 'LS175, 'S175



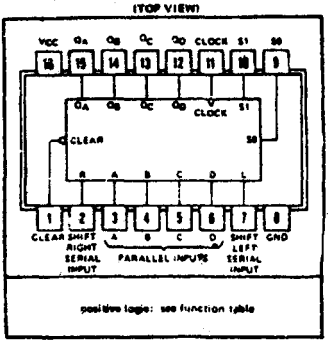
. . . dynamic input activated by transition from a high level to a low level

TTL
MSI

TYPES SN54194, SN54LS194A, SN54S194, SN74194, SN74LS194A, SN74S194
4-BIT BIDIRECTIONAL UNIVERSAL SHIFT REGISTERS

BULLETIN NO. DL-S 7511966, MARCH 1974 – REVISED OCTOBER 1976

SN54194, SN54LS194A, SN54S194 . . . J OR W PACKAGE
SN74194, SN74LS194A, SN74S194 . . . J OR N PACKAGE
(TOP VIEW)



- Parallel Inputs and Outputs
- Four Operating Modes:
  - Synchronous Parallel Load
  - Right Shift
  - Left Shift
  - Do Nothing
- Positive Edge-Triggered Clocking
- Direct Overriding Clear

TYPE	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'194	36 MHz	195 mW
'LS194A	36 MHz	75 mW
'S194	105 MHz	425 mW

description

These bidirectional shift registers are designed to incorporate virtually all of the features a system designer may want in a shift register. The circuit contains 46 equivalent gates and features parallel inputs, parallel outputs, right-shift and left-shift serial inputs, operating-mode-control inputs, and a direct overriding clear line. The register has four distinct modes of operation, namely:

Parallel (broadside) load
Shift right (in the direction Q_A toward Q_D)
Shift left (in the direction Q_D toward Q_A)
Inhibit clock (do nothing)

Synchronous parallel loading is accomplished by applying the four bits of data and taking both mode control inputs, S0 and S1, high. The data are loaded into the associated flip-flops and appear at the outputs after the positive transition of the clock input. During loading, serial data flow is inhibited.

Shift right is accomplished synchronously with the rising edge of the clock pulse when S0 is high and S1 is low. Serial data for this mode is entered at the shift-right data input. When S0 is low and S1 is high, data shifts left synchronously and new data is entered at the shift-left serial input.

Clocking of the flip-flop is inhibited when both mode control inputs are low. The mode controls of the SN54194/SN74194 should be changed only while the clock input is high.

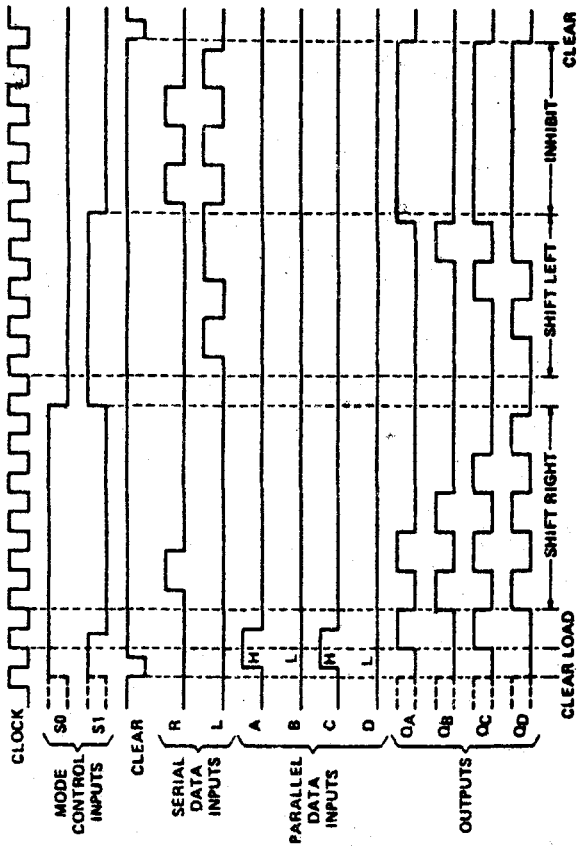
FUNCTION TABLE

INPUTS									OUTPUTS			
CLEAR	MODE		CLOCK	SERIAL		PARALLEL						
	S1	S0		LEFT	RIGHT	A	B	C	D	Q_A	Q_B	Q_C	Q_D
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X	X	X	X	X	X	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}
H	H	H	↑	X	X	a	b	c	d	a	b	c	d
H	L	H	↑	X	H	X	X	X	X	H	Q_{An}	Q_{Bn}	Q_{Cn}
H	L	H	↑	X	L	X	X	X	X	L	Q_{An}	Q_{Bn}	Q_{Cn}
H	H	L	↑	H	X	X	X	X	X	Q_{Bn}	Q_{Cn}	Q_{Dn}	H
H	H	L	↑	L	X	X	X	X	X	Q_{Bn}	Q_{Cn}	Q_{Dn}	L
H	L	L	X	X	X	X	X	X	X	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}

H = high level (steady state)
L = low level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level
a, b, c, d = the level of steady-state input at inputs A, B, C, or D, respectively.
Q_{A0}, Q_{B0}, Q_{C0}, Q_{D0} = the level of Q_A, Q_B, Q_C, or Q_D, respectively, before the indicated steady-state input conditions were established.
Q_{An}, Q_{Bn}, Q_{Cn}, Q_{Dn} = the level of Q_A, Q_B, Q_C, respectively, before the most recent ↑ transition of the clock.

**TYPES SN54194, SN54LS194A, SN54S194,
SN74194, SN74LS194A, SN74S194
4-BIT BIDIRECTIONAL UNIVERSAL SHIFT REGISTERS**

typical clear, load, right-shift, left-shift, inhibit, and clear sequences

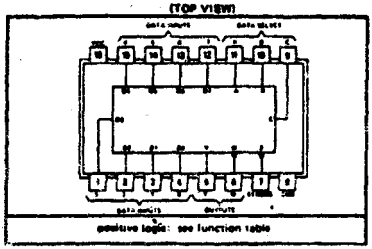


TTL
MSI

TYPES SN54251, SN54LS251, SN54S251, SN74251, SN74LS251 (TIM9905), SN74S251 DATA SELECTORS/MULTIPLEXERS WITH 3-STATE OUTPUTS

BULLETIN NO. DL-S 7611834, DECEMBER 1972—REVISED OCTOBER 1976

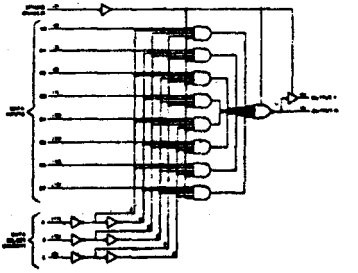
SN54251, SN54LS251, SN54S251 . . . J OR W PACKAGE
SN74251, SN74LS251, SN74S251 . . . J OR N PACKAGE
(TOP VIEW)



- Three-State Versions of '151, 'LS151, 'S151
- Three-State Outputs Interface Directly with System Bus
- Perform Parallel-to-Serial Conversion
- Permit Multiplexing from N-lines to One Line
- Complementary Outputs Provide True and Inverted Data
- Fully Compatible with Most TTL and DTL Circuits

TYPE	MAX NO. OF COMMON OUTPUTS	TYPICAL AVG PROP DELAY TIME (D TO Y)	TYPICAL POWER DISSIPATION
SN54251	40	17 ns	250 mW
SN74251	128	17 ns	250 mW
SN54LS251	40	17 ns	35 mW
SN74LS251	128	17 ns	35 mW
SN54S251	39	8 ns	275 mW
SN74S251	128	8 ns	275 mW

functional block diagram



description

These monolithic data selectors/multiplexers contain full on-chip binary decoding to select one-of-eight data sources and feature a strobe-controlled three-state output. The strobe must be at a low logic level to enable these devices. The three-state outputs permit a number of outputs to be connected to a common bus. When the strobe input is high, both outputs are in a high-impedance state in which both the upper and lower transistors of each totem-pole output are off, and the output neither drives nor loads the bus significantly. When the strobe is low, the outputs are activated and operate as standard TTL totem-pole outputs.

To minimize the possibility that two outputs will attempt to take a common bus to opposite logic levels, the output control circuitry is designed so that the average output disable time is shorter than the average output enable time. The SN54251 and SN74251 have output clamp diodes to attenuate reflections on the bus line.

FUNCTION TABLE

INPUTS				OUTPUTS	
SELECT			STROBE		
C	B	A	$\overline{S}$	Y	W
X	X	X	H	Z	Z
L	L	L	L	D0	$\overline{D0}$
L	L	H	L	D1	$\overline{D1}$
L	H	L	L	D2	$\overline{D2}$
L	H	H	L	D3	$\overline{D3}$
H	L	L	L	D4	$\overline{D4}$
H	L	H	L	D5	$\overline{D5}$
H	H	L	L	D6	$\overline{D6}$
H	H	H	L	D7	$\overline{D7}$

H = high logic level, L = low logic level
X = irrelevant, Z = high impedance (off)
D0, D1 . . . D7 = the level of the respective D input

TTL MSI

TYPES SN54LS257A, SN54LS258A, SN54S257, SN54S258, SN74LS257A, SN74LS258A, SN74S257, SN74S258 QUADRUPLE 2-LINE-TO-1-LINE DATA SELECTORS/MULTIPLEXERS

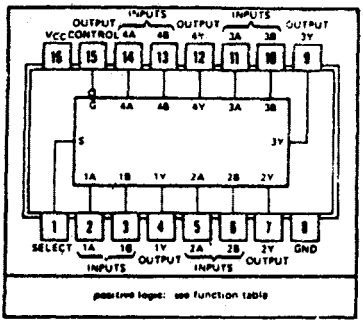
BULLETIN NO. DL-S 7711734, OCTOBER 1976–REVISED AUGUST 1977

- Three-State Outputs Interface Directly with System Bus
- 'LS257A and 'LS258A Offer Three Times the Sink-Current Capability of the Original 'LS257 and 'LS258
- Same Pin Assignments as SN54LS157, SN74LS157, SN54S157, SN74S157, and SN54LS158, SN74LS158, SN54S158, SN74S158
- Provides Bus Interface from Multiple Sources in High-Performance Systems

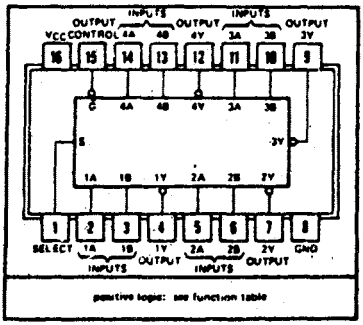
	AVERAGE PROPAGATION DELAY FROM DATA INPUT	TYPICAL POWER DISSIPATION†
'LS257A	12 ns	60 mW
'LS258A	12 ns	60 mW
'S257	4.5 ns	320 mW
'S258	4 ns	280 mW

†Off state (worst case)

SN54LS257A, SN54S257 . . . J OR W PACKAGE
SN74LS257A, SN74S257 . . . J OR N PACKAGE
(TOP VIEW)



SN54LS258A, SN54S258 . . . J OR W PACKAGE
SN74LS258A, SN74S258 . . . J OR N PACKAGE
(TOP VIEW)



description

These Schottky-clamped high-performance multiplexers feature three-state outputs that can interface directly with and drive data lines of bus-organized systems. With all but one of the common outputs disabled (at a high-impedance state) the low impedance of the single enabled output will drive the bus line to a high or low logic level. To minimize the possibility that two outputs will attempt to take a common bus to opposite logic levels, the output-enable circuitry is designed such that the output disable times are shorter than the output enable times.

This three-state output feature means that n-bit (paralleled) data selectors with up to 256 sources can be implemented for data buses. It also permits the use of standard TTL registers for data retention throughout the system.

Series 54LS and 54S are characterized for operation over the full military temperature range of −55°C to 125°C; Series 74LS and 74S are characterized for operation from 0°C to 70°C.

FUNCTION TABLE

INPUTS				OUTPUT Y	
OUTPUT CONTROL	SELECT	A	B	'LS257A 'S257	'LS258A 'S258
H	X	X	X	Z	Z
L	L	L	X	L	H
L	L	H	X	H	L
L	H	X	L	L	H
L	H	X	H	H	L

H = high level, L = low level, X = irrelevant, Z = high impedance (off)

TTL
MSI

TYPES SN54283, SN54LS283, SN54S283, SN74283, SN74LS283, SN74S283
4-BIT BINARY FULL ADDERS WITH FAST CARRY

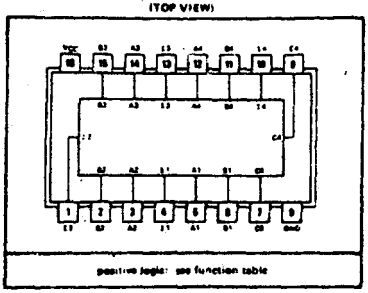
BULLETIN NO. DL-S 7611832, OCTOBER 1976

- Full-Carry Look-Ahead Across the Four Bits
- Systems Achieve Partial Look-Ahead Performance with the Economy of Ripple Carry
- Supply Voltage and Ground on Corner Pins to Simplify P-C Board Layout

TYPICAL ADD TIMES

TYPE	TWO 8-BIT WORDS	TWO 16-BIT WORDS	TYPICAL POWER DISSIPATION PER ADDER
'283	23ns	43ns	310 mW
LS283	25ns	45ns	95 mW
'S283	15ns	30ns	510 mW

SN54283, SN54LS283 . . . J OR W PACKAGE
SN54S283 . . . J PACKAGE
SN74283, SN74LS283, SN74S283 . . . J OR N PACKAGE
(TOP VIEW)



positive logic: see function table

description

The '283 and 'LS283 adders are electrically and functionally identical to the '83A and 'LS283, respectively; only the arrangement of the terminals has been changed. The 'S283 high performance versions are also functionally identical.

These improved full adders perform the addition of two 4-bit binary words. The sum (Σ) outputs are provided for each bit and the resultant carry (C4) is obtained from the fourth bit. These adders feature full internal look-ahead across all four bits generating the carry term in ten nanoseconds, typically, for the '283 and 'LS283, and 7.5 nanoseconds for the 'S283. This capability provides the system designer with partial look-ahead performance at the economy and reduced package count of a ripple-carry implementation.

The adder logic, including the carry, is implemented in its true form. End around carry can be accomplished without the need for logic or level inversion.

Series 54, Series 54LS, and Series 54S circuits are characterized for operation over the full temperature range of −55°C to 125°C. Series 74, Series 74LS, and Series 74S circuits are characterized for 0°C to 70°C operation.

FUNCTION TABLE

INPUT				OUTPUT					
				WHEN C0 = L			WHEN C0 = H		
				Σ1	Σ2	Σ3	Σ1	Σ2	Σ3
A1	B1	A2	B2	Σ1	Σ2	Σ3	Σ1	Σ2	Σ3
L	L	L	L	L	L	L	H	L	L
H	L	L	L	H	L	L	L	H	L
L	H	L	L	H	L	L	L	H	L
H	H	L	L	L	H	L	L	H	L
L	L	H	L	L	H	L	H	H	L
H	L	H	L	H	H	L	L	L	H
L	H	H	L	H	H	L	L	L	H
H	H	H	L	L	L	H	H	L	H
L	L	L	H	L	H	L	H	H	L
H	L	L	H	H	H	L	L	L	H
L	H	L	H	H	H	L	L	L	H
H	H	L	H	L	L	H	H	L	H
L	L	H	H	L	L	H	H	L	H
H	L	H	H	H	L	H	L	H	H
L	H	H	H	H	L	H	L	H	H
H	H	H	H	L	H	H	H	H	H

H = high level, L = low level

NOTE: Input conditions at A1, B1, A2, B2, and C0 are used to determine outputs Σ1 and Σ2 and the value of the internal carry C2. The values at C2, A3, B3, A4, and B4 are then used to determine outputs Σ3, Σ4, and C4.

	2114-2	2114-3	2114	2114L2	2114L3	2114L
Max. Access Time (ns)	200	300	450	200	300	450
Max. Power Dissipation (mw)	525	525	525	370	370	370

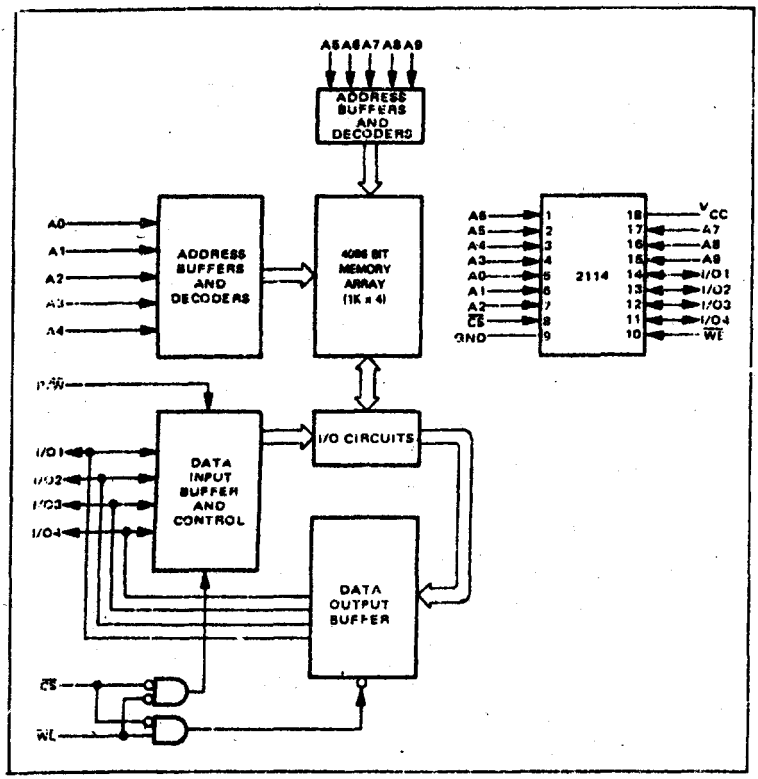


Figure A6-16 2114 Static RAM Block Diagram and Pin Assignments

2114 STATIC RAM READ OPERATION

2114 has only two control inputs: $\overline{CS}$ and $\overline{WE}$. When $\overline{CS}$ is high, the device is deselected and I/O pins are effectively disconnected from the System Bus. When $\overline{CS}$ is low, the device is selected and the write enable ($\overline{WE}$) signal determines whether a read operation is to be performed. If $\overline{WE}$ is high, the data input buffers are inhibited to prevent erroneous data from being written into the array. With $\overline{WE}$ high and $\overline{CS}$ low the I/O pins will output the addressed read data an interval of t_A after the address inputs are valid. Table A6-11 lists the values for the access time parameters for the different versions of the 2114 Static RAM. Timing for this read operation is essentially as was illustrated in Figure A6-2 at the beginning of this section, although there is some difference in nomenclature used. Figure A6-17 illustrates the 2114 read timing waveforms, and shows the points to which the read parameters are referenced.

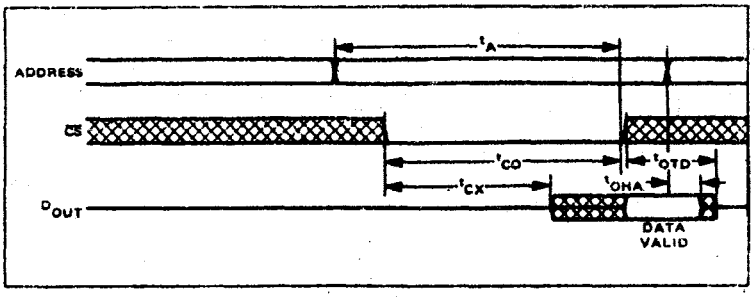


Figure A6-17. 2114 Static RAM Read Timing

You will notice that there are two different parameters (t_{CS} and t_{CO}) which are referenced from the negative-going edge of the chip select ($\overline{CS}$) input. The t_{CS} parameter specifies the minimum amount of time required to enable the 2114 data output buffers after the chip select goes low. The t_{CO} parameter specifies the maximum amount of time required before those data outputs become valid. The reason why there are two separate parameters referenced to the trailing edge of $\overline{CS}$ is that the $\overline{CS}$ signal performs two functions: it selects the device and it also performs the output disable function.

The other two unfamiliar read timing parameter symbols are t_{OTD} and t_{OHA}. The t_{OTD} parameter is measured from the positive-going edge of $\overline{CS}$, and specifies the maximum interval of time required to return the output buffers to their high impedance state. The t_{OHA} parameter is measured from the transition of the address inputs and specifies the minimum amount of time that the data outputs remain valid after the address inputs begin to change.

2114 STATIC RAM WRITE OPERATION

A write operation with the 2114 static RAM requires that both the $\overline{CS}$ and $\overline{WE}$ signals be low. Timing for the 2114 write operation is basically the same as has been described for the preceding static RAM devices. There is one subtle difference in the way that the write pulse (t_W) parameter is specified. For most of the static RAM devices we have described, the write pulse width is measured from the leading edge of the R/W signal to the trailing edge of the R/W signal. For the 2114 RAM, the pulse width is measured from the latter of $\overline{CS}$ or $\overline{WE}$ going low to the earlier of $\overline{CS}$ or $\overline{WE}$ going high. Figure A6-18 illustrates timing for the 2114 write operation and shows the points to which the write parameters are referenced.

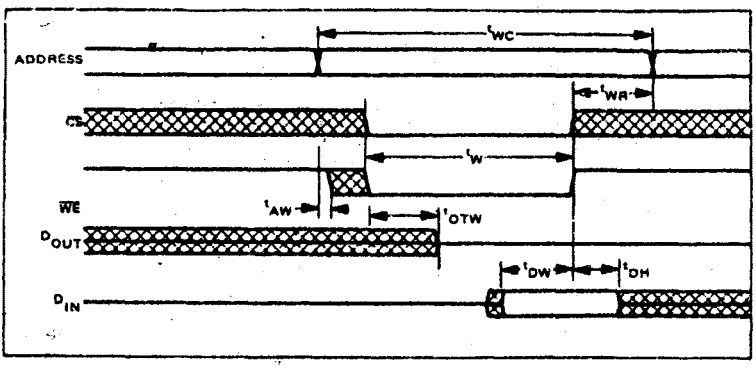


Figure A6-18. 2114 Static RAM Write Timing

THE 2716 EPROM DEVICE

The functional organization and pin assignments for the 2716 EPROM device are shown in Figure A4-11. The 2716 EPROM is organized as a 2K x 8-bit device, and it is a further extension of the 2704/2708 family of EPROMs. The 2716 EPROM requires one more address input (A10) than did the 2708 EPROM; pin 18 on the 2716 EPROM is used for this additional address input, and, concurrently, the need for a +12V power supply connection has been eliminated — the 2716 EPROM requires only a +5V power supply.

2716 EPROM CE/PGM SIGNAL

The only other obvious functional difference between the 2716 and the 2708 EPROMs is related to pin 18; this pin has been used as the PROGRAM input for the previous members of this family of EPROMs, and still performs that function on the 2716 device. However, the signal name for pin 18 on the 2716 EPROM is $\overline{CE}$/PGM; this input now performs the dual function of power down control and program pulse input. The $\overline{CE}$/PGM input is logic "0" for normal read operations is pulsed from a logic "0" to a logic "1" during programming operations, and is set to a logic "1" to place the device in a power down mode to reduce power dissipation when the device is not being accessed.

Table A4-5 2716 EPROM Specification Summary

Device	Timing (see Figure A4-9)			Manufacturer
	t_{ACC}	t_{OE}	t_{OD}	
*S2716	250 ns			AMI
2716	450 ns	120 ns	100 ns	INTEL
*μPD2716	450 ns			NEC
*TMS2516	450 ns			TEXAS INSTRUMENTS

*Preliminary or advance data

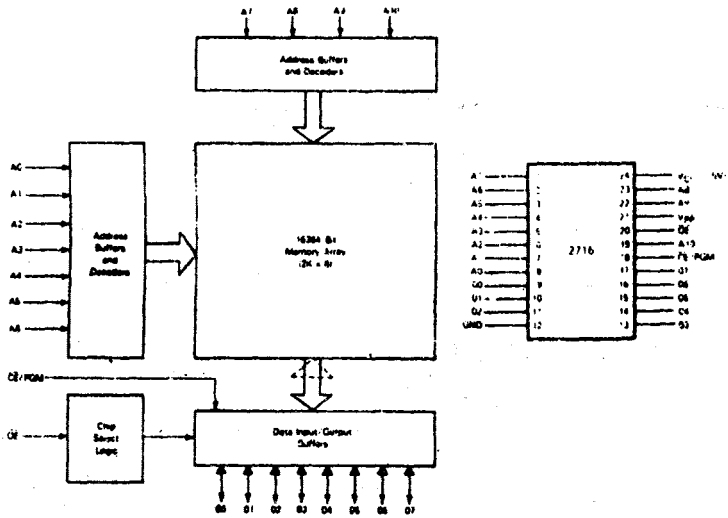


Figure A4-11 2716 EPROM Block Diagram and Pin Assignments

The standard read operation for the 2716 conforms to Figure A4-1 — the familiar read timing diagram that has applied to almost all of the ROM/PROM/EPROM devices that we have described. If the power down option of the 2716 EPROM is not utilized, then the standard read timing diagram applies to this device. If the power down option is im-

plemented with this device, then the read timing will be as illustrated in Figure A4-12. The timing for this operation is quite similar to that which we described for several other EPROMs that permit power down operations (the 1702 and the 5204), but there is one important difference. With other EPROM devices that have the power down option, the use of this option significantly increased the access time for the devices. **With the 2716 EPROM,** however, **you can use the power down option without increasing the access time.** Values for the timing parameters shown in Figure A4-12 are listed in Table A4-5. You can see from looking at the timing diagram and the table of parameter values that if the output enable ($\overline{OE}$) and $\overline{CE}$/PGM inputs to the device were simply connected together, the 2716 would be placed in the powered down or standby mode whenever it was not selected — and yet access time would remain the same. **When the $\overline{CE}$/PGM input is at a logic "1", power dissipation of the 2716 is reduced by 75%; thus, a significant saving in power requirements is achieved with no sacrifice of performance.**

2716 EPROM Programming Procedures

The procedure required to program the 2716 EPROM is quite uncomplicated; address inputs, data pins, chip select inputs, and the program input ($\overline{CE}$/PGM) all require only TTL-level signals during the programming operation, and a single 50-millisecond pulse is all that is required to program a location. The timing waveforms for the 2716 programming operation are shown in Figure A4-13.

Initially, and after each erasure, the 2716 contains "1s" in all bit positions; programming consists of introducing "0s" into the required bit positions. The programming operation is initiated by raising the Vpp input (pin 21) from +5V to +25V. The device is then deselected by taking the $\overline{OE}$ pin to a logic one, and the address of the location that is to be programmed is applied to the address inputs.

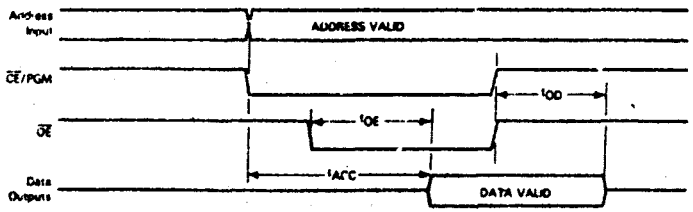


Figure A4-12. 2716 EPROM Read Timing with Power Down Option

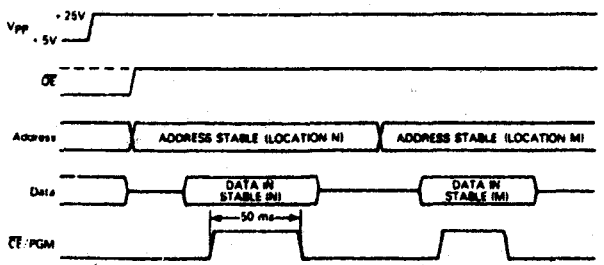


Figure A4-13. 2716 EPROM Programming Waveforms

The data output pins are then used as inputs by applying TTL-level signals to these pins to specify which bits are to be set to "0s" and which bits are to be left as "1s". A program pulse, which is simply a TTL "1" pulse of 50-millisecond duration, is then applied to the $\overline{CE}$/PGM input (pin 18).

When you are programming the 2716 EPROM, locations can be programmed in any sequence and individual locations or blocks of locations can be programmed; there is no requirement that you program all locations within

the device during a programming session. **Thus, within limitations, if you have made an error in programming a particular location, you can simply reprogram that single location.** The limitation, of course, is that the only option you have when programming is to change "1s" to "0s". Consider the following example:

Bit Positions								
	O1	O2	O3	O4	O5	O6	O7	O8	
	1	1	1	1	1	1	1	1	← Initial Condition
	0	1	1	0	1	1	1	0	← 1st Programming
	0	1	1	0	1	1	0	0	← 2nd Programming

Initially, all bit positions in a given word are set to one. The first programming session sets bits one (O1), four (O4), and eight (O8) to "0s". It was then discovered that bit seven should also have been set to "0", and this was accomplished in the second programming session. This "reprogramming" could continue until all bit positions were set to "0s". But if a bit, for example, was supposed to have remained as a "1", there is no way to reprogram this bit; the entire device must be erased using ultraviolet light and then reprogrammed.

The timing waveforms shown in Figure A4-13 illustrated a procedure where only programming takes place; the 2716 also allows program verification or read operations to be interspersed with the programming of locations. Timing for this programming/program verification procedure is illustrated in Figure A4-14. The $\overline{OE}$ signal must be held low during programming operations, and if it is brought to a logic "0", the 2716 is selected for a read operation. So long as the addresses are held stable as you proceed from the programming phase to the verification phase, the data out to be read out will be the data which was just programmed into the device at that location. The various modes of operation of the 2716 EPROM and the required pin combinations for each mode are listed in Table A4-6.

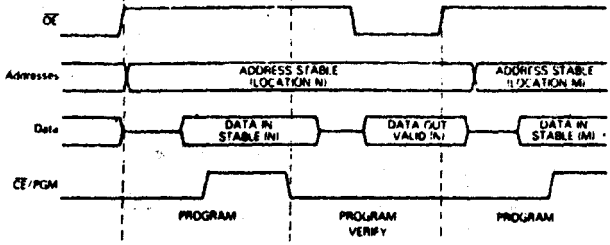


Figure A4-14. 2716 EPROM Program and Verification Timing

Table A4-6. 2716 EPROM Operating Modes

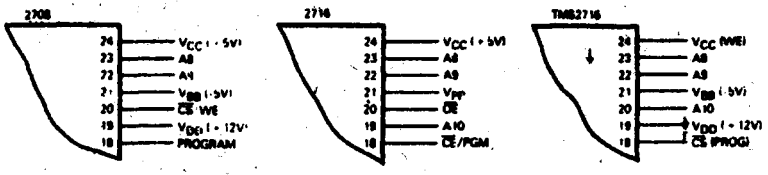
Mode \ Pins	$\overline{CE}$/PGM (18)	$\overline{OE}$ (20)	V_{PP} (21)	V_{CC} (24)	Data Outputs (9-11,13-17)
READ	0	0	+5V	+5V	Data Out
DESELECT	X	1	+5V	+5V	High Z
POWER	1	X	+5V	+5V	High Z
PROGRAM DOWN	Pulsed 0 to 1	1	+25V	+5V	Data In
PROGRAM VERIFY	0	0	+25V	+5V	Data Out
PROGRAM INHIBIT	0	1	+25V	+5V	High Z

"0" = TTL low, "1" = TTL high, X = don't care

THE TMS 2716 EPROM

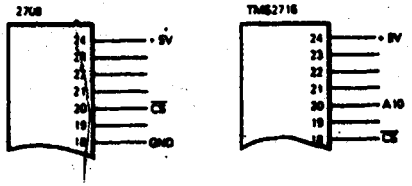
If you refer to Table A4-5, you will notice that the 2716 EPROM produced by Texas Instruments has a device identification number of TMS2516. We should not be overly surprised or confused by this slight difference in device numbers, since we frequently encountered that in preceding chapters. In this chapter, however, most EPROMs of the same type have common device numbers regardless of the manufacturer. There is one additional fact to further confuse the issue in this case. **Texas Instruments produces an EPROM device that has the device identification number of TMS2716 — but this device is not compatible with the other 2716 EPROMs we have just described.**

The figure below compares pins 18 through 24 for the 2708 EPROM, the 2716 EPROM, and the TMS 2716 EPROM. Earlier in this chapter, we have discussed the changes in pin assignments as you progress upward through the 2704/2708/2716 family of EPROMs. You will recall that as bit capacity doubles we must find another pin at each step to be used as an address input. In the standard version of the 2716, pin 19 is used as the address input (A10) and the +12V requirement of the 2708 was eliminated. Additionally, pin 21, which was used as a +5V connection on the 2708, is simply used for the programming connection on the standard 2716, since the device does not require 5V to operate. Now let us look at the TMS2716 and see the causes of its differences.

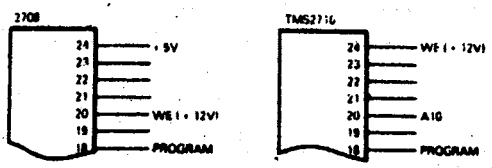


First of all, **the TMS2716 still requires three different operating voltage connections:** V_{CC} (+5V) on pin 24, V_{BB} (-5V) on pin 21, and V_{DD} (+12V) on pin 19. Because three voltage connections are required, versus the single voltage connection required by the standard 2716, **we must find another method of supplying the additional address input (A10) that is required as you progress from the 8K EPROMs (2708) to the 16K EPROMs.** If you compare the TMS2716 to the 2708 EPROM, you will see that the three voltage connections have been kept on the same pins, this ensures at least voltage compatibility between these two devices. **Pin 20 on the TMS2716 is used for the additional address input (A10);** since this pin performed the chip select/write enable (CS/WE) function on the 2708, an alternate method for performing this function was required. **For the TMS2716, the chip select function was moved to pin 18, where it also serves as the program input. The write enable (WE) function that was performed by pin 20 of the 2708 is moved to pin 24 of the 2716; since +5V is not required by the TMS2716 during programming operations, this pin can be used to perform the write enable function during programming.**

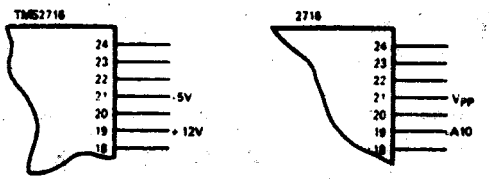
Now let us see how these pin differences affect compatibility of the devices. As we previously mentioned, the TMS2716 has kept the voltage connection on the same pins that were used on the 2708. Therefore, **for normal read operations it is only pins 18 and 20 that are different for these two devices. The required connections can be illustrated as follows:**



During programming operations, pin 18 of both the 2708 and TMS2716 are used to input the program pulses. In this situation it is pins 20 and 24 that are performing different functions for the two devices, as illustrated below:



If you attempt to substitute the standard 2716 for the TMS2716 EPROM, you will encounter additional difficulties. The incompatibility in this case cannot be solved by simply swapping chip select and address connections to the devices. Pins 19 and 21 of the TMS2716 are connected to +12V and 5V respectively during normal read operations. pin 19 is an address input (A10) on the standard version of the 2716, and therefore connection of +12V to this pin would be unacceptable.



Programming procedures for the TMS2716 are essentially the same as those described earlier for the 2704 and 2708 EPROMs, they are therefore completely unlike the procedures used with the standard version of the 2716 EPROMs. Figure A4-15 illustrates the timing waveforms for programming the TMS2716. Pin 24, the V_{CC} connection, is raised to +12V to implement the write enable function and begin the programming. this pin is held high for the duration of the programming sequence. The first word to be programmed is then addressed using standard TTL levels on the address inputs. The data to be stored at the addressed location is then applied to pin 18. the $\overline{CS}$ (PROGRAM) pin. After 0.1 to 1.0 milliseconds. the program pin is returned to 0V. The next sequential location can then be addressed, new data can be set up, and the program pulse is again applied. This sequence continues until all words have been programmed, and then N program loops must be performed. The number of loops required is determined by the formula N x pulse width $\geq$ 100 milliseconds. Thus, if pulse width equals one millisecond, then 100 program loops are required.

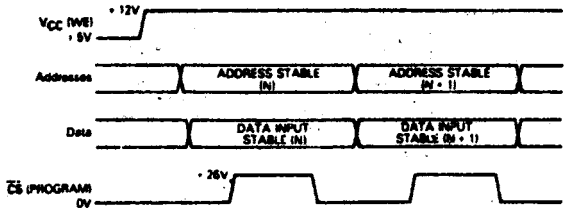


Figure A4-15. TMS2716 EPROM Programming Waveforms

16K DYNAMIC RAM DEVICES

We are going to describe two slightly different types of 16K dynamic RAM devices. Both devices, the 4116-type and the 2116-type, can be considered to be extensions of the 16-pin 4K dynamic RAMs we have just described (the 4096 and the 4027/2104A). Figure A7-26 illustrates the functional organization and pin assignments for the 4116/2116 16K dynamic RAM devices. If you compare this figure to Figure A7-19, which illustrates pin assignments of the 4027/2104A 4K dynamic RAM, you will see that there is only one pin that is different. **Pin number 13 on the 4K dynamic RAM was the chip select ($\overline{CS}$) signal. On the 4116/2116, pin number 13 is used as an address input (A6) and the 16K device has no chip select input. The addition of this address bit is required, since these devices provide four times the bit capacity of the 4K dynamic RAMs: the A6 input also serves as the A13 input, since the address inputs are multiplexed. The obvious question this raises is: how do you select the device if there is no chip enable or chip select input?**

The solution to this chip select problem also leads us to the first difference between the 2116 and 4116 devices. Both devices use the address strobe signals to perform the chip select functions. The 2116-type uses the row address strobe ($\overline{RAS}$) to select the device, while the 4116 lets you use either $\overline{RAS}$, or $\overline{CAS}$, or both as chip select inputs. Before discussing the significance of this difference between the two 16K devices, let us first summarize all of the differences between the 2116 and the 4116. **There are really only three major areas of difference between these two types of devices, and these differences are summarized in the table below, which also includes the characteristics of the 4K 4027/2104A device.**

	4027/2104A	2116-TYPE	4116-TYPE
Output Characteristics	Latched	Latched	Unlatched
Refresh Cycles	64 Cycles	64 or 128 Cycles	128 Cycles
Chip Select	$\overline{CS}$	$\overline{RAS}$	$\overline{RAS}$ and/or $\overline{CAS}$

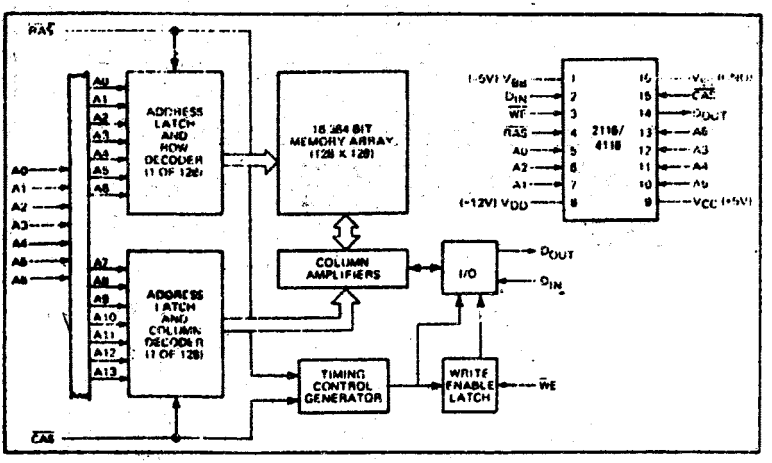


Figure A7-26 2116/4116 16K Dynamic RAM Block Diagram and Pin Assignments

	2116-2	2116-3	2116-4
Max. Access Time (ns)	200	250	300
Read, Write Cycle (ns)	35[illegible]	375	425
Read-Modify-Write Cycle (ns)	400	525	595

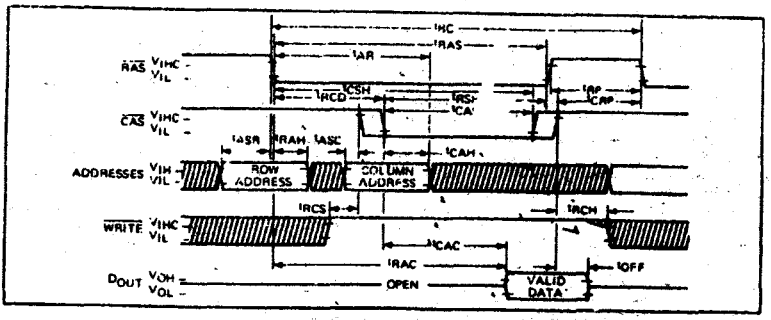


Figure A7 27 4116 Type 16K Dynamic RAM Read Cycle

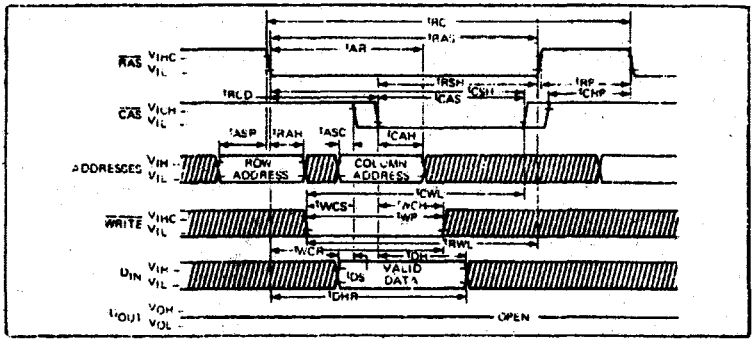


Figure A7 28 4116 Type 16K Dynamic RAM Write Cycle

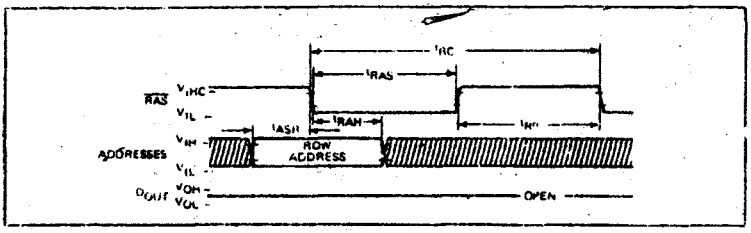
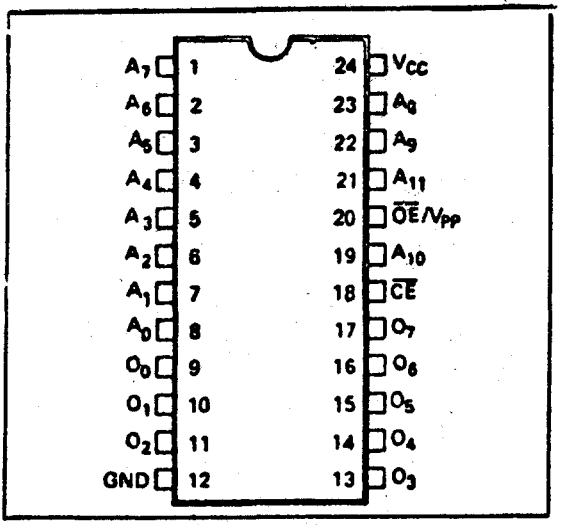
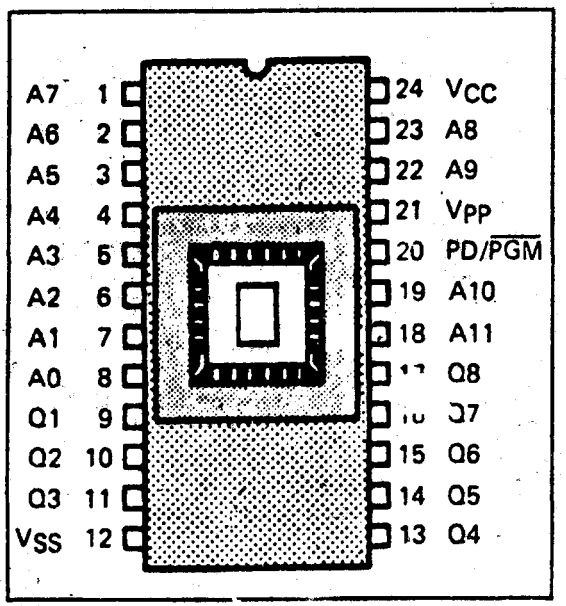


Figure A7 29 4116 Type 16K Dynamic RAM RAS-Only Refresh Cycle



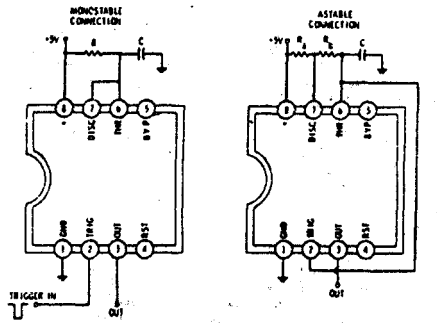
Pin configuration for the 2732 EPROM.



Pin configuration for the TMS2 PROM.

555

TIMER—ASTABLE OR MONOSTABLE



This circuit may be used for astable or monostable in timing applications from microseconds to hours. Complete details for its use appear in Chapter 4.

As a monostable, the circuit is triggered by bringing the Trigger input momentarily below 2 volts. The output pulse width is determined by R and C, and the curves are shown in Fig. 4-26. R can vary from 1K to 3.3 megohms. C can range from 500 pF up. TTL fan-out is more than ten.

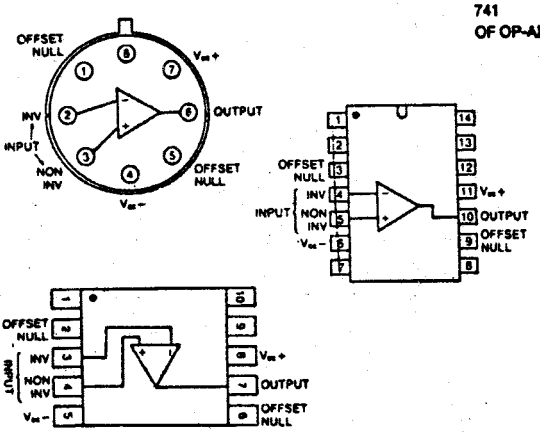
As an astable, the circuit is free running. The charging time is determined by R_a and R_b in series with C. The discharging time is determined by C and R_b. Design curves appear in Fig. 4-16. The minimum value of R_a is 1K; the maximum value of $R_a + R_b$ is 3.3 megohms. TTL fan-out is more than ten.

The RST input (pin 4) will drive the output low if it is grounded. If unused, it should be tied to +5 volts. The Bypass input should be bypassed to ground with a suitable capacitor (0.1 μF upward) in critical timing applications.

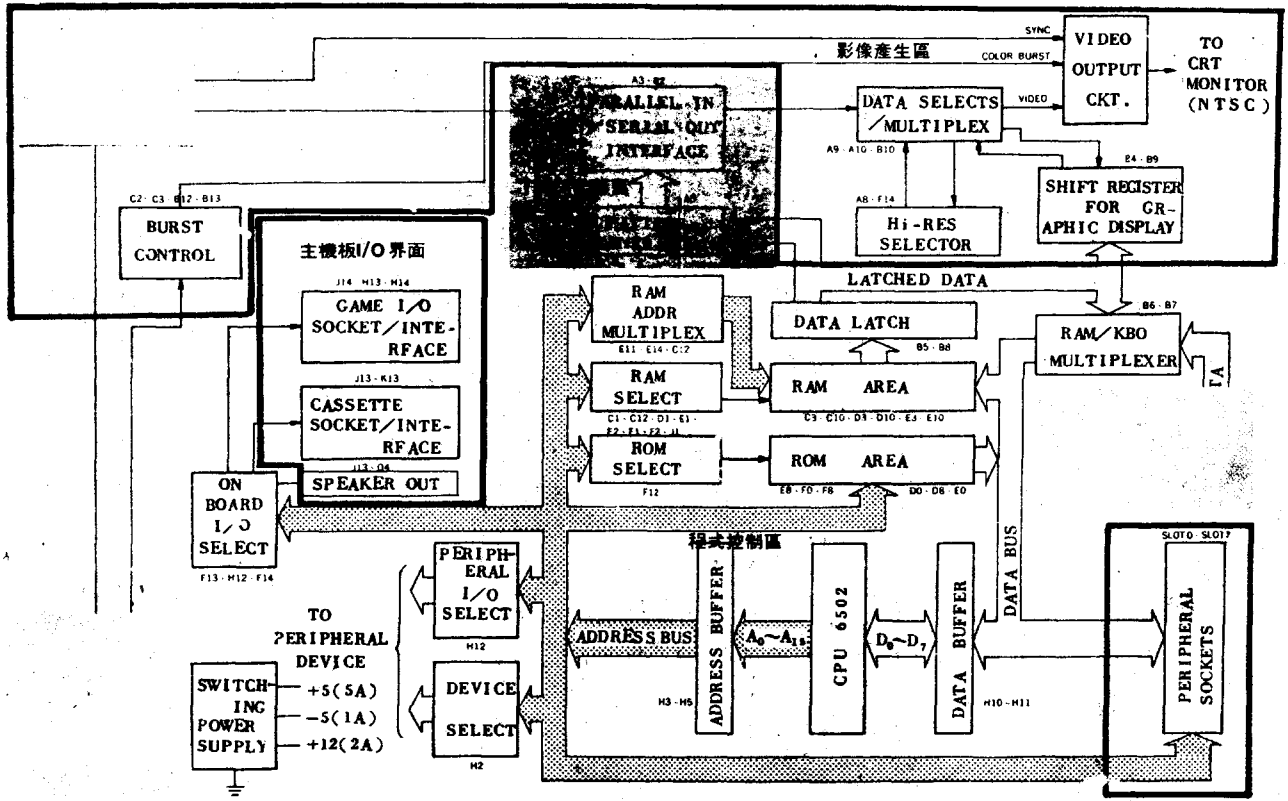
The output is high during the monostable on time and low otherwise. The output is high during the astable charging time and low during the discharge time.

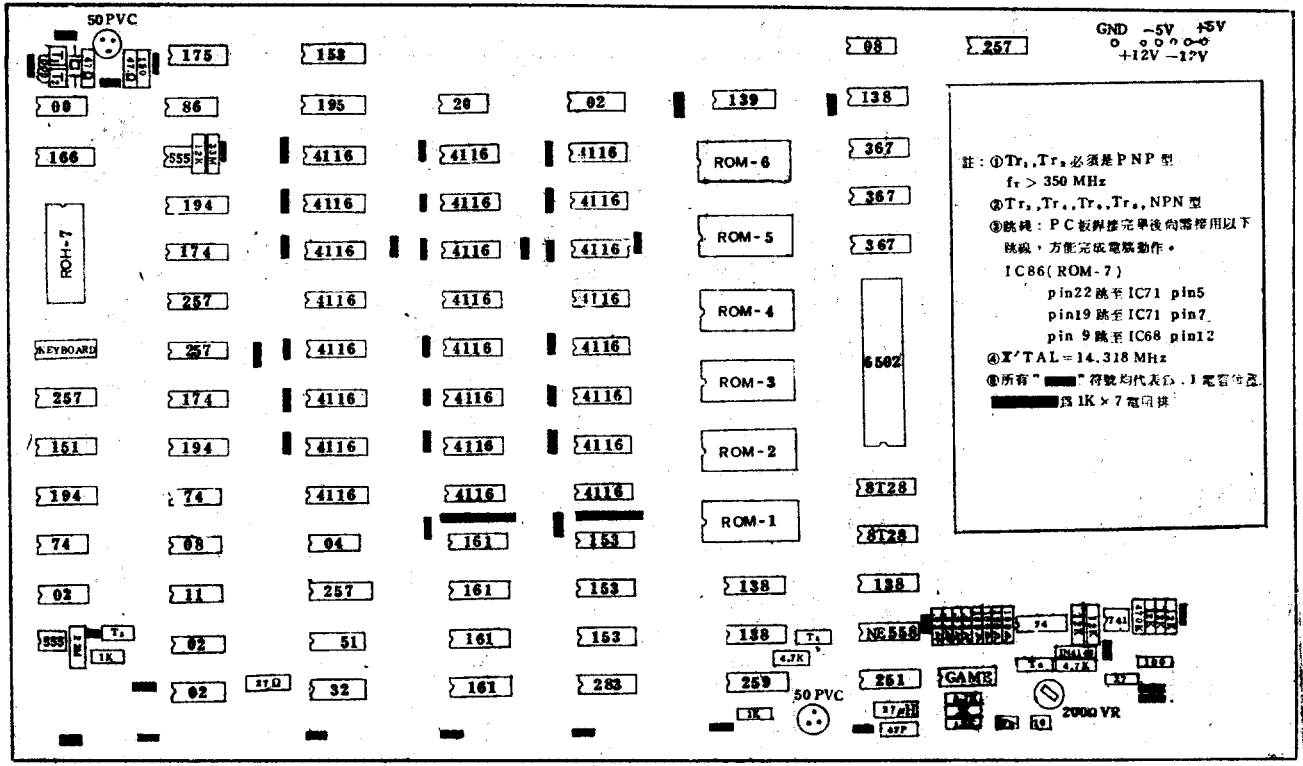
Operating current .... 3 milliamperes

741
OF OP-AMP



MANUFACTURER	VARIOUS
SUPPLY VOLTAGE	±18V
SUPPLY CURRENT	2.8 mA MAX.
OFFSET VOLTAGE	6 mV MAX.
INPUT BIAS CURRENT	500 nA MAX.
VOLTAGE GAIN	15,000 MIN.
CMRR	70 dB MIN.


影像產生區
SYNC
COLOR BURST
VIDEO OUTPUT CKT.
TO CRT MONITOR (NTSC)
VIDEO
DATA SELECTS /MULTIPLEX
SHIFT REGISTER FOR GRAPHIC DISPLAY
Hi-RES SELECTOR
PARALLEL IN SERIAL OUT INTERFACE
BURST CONTROL
主機板I/O界面
GAME I/O SOCKET/INTERFACE
CASSETTE SOCKET/INTERFACE
SPEAKER OUT
ON BOARD I/O SELECT
LATCHED DATA
RAM ADDR MULTIPLEX
DATA LATCH
RAM/KBO MULTIPLEXER
RAM SELECT
RAM AREA
ROM SELECT
ROM AREA
程式控制區
PERIPHERAL I/O SELECT
DEVICE SELECT
TO PERIPHERAL DEVICE
SWITCHING POWER SUPPLY
+5(5A)
-5(1A)
+12(2A)
ADDRESS BUS
ADDRESS BUFFER
CPU 6502
DATA BUFFER
DATA BUS
PERIPHERAL SOCKETS
SLOT0 - SLOT7

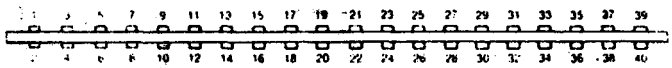


APPLE II 微電腦主PC板零件位置圖

Pin Connections for Expansion-Port Edge Card

P/N	SIGNAL NAME	DESCRIPTION
1	RAS*	Row Address Strobe Output for 16-Pin Dynamic Rams
2	SYSRES*	System Reset Output, Low During Power Up Initialize or Reset Depressed
3	CAS*	Column Address Strobe Output for 16-Pin Dynamic Rams
4	A10	Address Output
5	A12	Address Output
6	A13	Address Output
7	A15	Address Output
8	GND	Signal Ground
9	A11	Address Output
10	A14	Address Output
11	A8	Address Output
12	OUT*	Peripheral Write Strobe Output
13	WR*	Memory Write Strobe Output
14	INTAK*	Interrupt Acknowledge Output
15	RD*	Memory Read Strobe Output
16	MUX	Multiplexor Control Output for 16-Pin Dynamic Rams
17	A9	Address Output
18	D4	Bidirectional Data Bus
19	IN*	Peripheral Read Strobe Output
20	D7	Bidirectional Data Bus
21	INT*	Interrupt Input (Maskable)
22	D1	Bidirectional Data Bus
23	TEST*	A Logic "0" on TEST* Input Tri-States A0-A15, D0-D7, WR*, RD*, IN*, OUT*, RAS*, CAS*, MUX*
24	D6	Bidirectional Data Bus
25	A0	Address Output
26	D3	Bidirectional Data Bus
27	A1	Address Output
28	D5	Bidirectional Data Bus
29	GND	Signal Ground
30	D0	Bidirectional Data Bus
31	A4	Address Bus
32	D2	Bidirectional Data Bus
33	WAIT*	Processor Wait Input, to Allow for Slow Memory
34	A3	Address Output
35	A5	Address Output
36	A7	Address Output
37	GND	Signal Ground
38	A6	Address Output
39	+5V	5 Volt Output (Limited Current)
40	A2	Address Output

NOTE: *means Negative (Logical "0") True Input or Output



Mates with AMP P/N 88103-1 Card Edge Connector or Equivalent

Connection points for Expansion-Port Edge Card (viewed from rear of keyboard assembly)

果粉藏書

TP3
113

F.003